

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
 United States Patent and Trademark
 Office
 Box PCT
 Washington, D.C.20231
 ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing (day/month/year) 21 October 1999 (21.10.99)	
International application No. PCT/JP99/01498	Applicant's or agent's file reference 99F00011
International filing date (day/month/year) 25 March 1999 (25.03.99)	Priority date (day/month/year) 26 March 1998 (26.03.98)
Applicant UENO, Naoto et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:
30 September 1999 (30.09.99)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Maria Kirchner Telephone No.: (41-22) 338.83.38
---	--

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

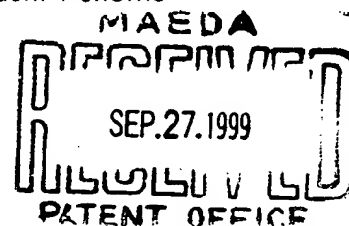
PCT

NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

To:

MAEDA, Hiroshi
Taihei Building
4-8, Utsubohonmachi 1-chome
Nishi-ku
Osaka-shi
Osaka 550-0004
JAPON



Date of mailing (day/month/year)

16 September 1999 (16.09.99)

Applicant's or agent's file reference

M99-Y-029CT1

IMPORTANT NOTICE

International application No.

PCT/JP99/01198

International filing date (day/month/year)

12 March 1999 (12.03.99)

Priority date (day/month/year)

12 March 1998 (12.03.98)

Applicant

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

AU,CN,EP,IL,JP,KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CA,ID,RU,SG,VN

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 16 September 1999 (16.09.99) under No. WO 99/46685

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

J. Zahra

Telephone No. (41-22) 338.83.38

PCT COOPERATION TREATY

PCT

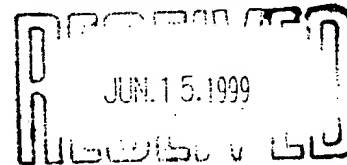
NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
Taihei Building
4-8, Utsubohonmachi 1-chome
Nishi-ku
Osaka-shi
Osaka 550-0004
JAPON



Date of mailing (day/month/year) 08 June 1999 (08.06.99)	
Applicant's or agent's file reference M99-Y-029CT1	IMPORTANT NOTIFICATION
International application No. PCT/JP99/01198	International filing date (day/month/year) 12 March 1999 (12.03.99)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 12 March 1998 (12.03.98)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
12 Marc 1998 (12.03.98)	10/60868	JP	21 May 1999 (21.05.99)
28 Dece 1998 (28.12.98)	10/373436	JP	30 Apri 1999 (30.04.99)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Carlos Naranjo

Telephone No. (41-22) 338.83.38

PCT COOPERATION TREATY

PCT

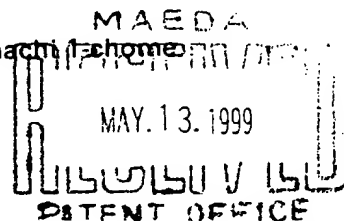
NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
Taihei Building
4-8, Utsubohonmachi, Ichome
Nishi-ku
Osaka-shi
Osaka 550-0004
JAPON



Date of mailing (day/month/year) 03 May 1999 (03.05.99)	
Applicant's or agent's file reference M99-Y-029CT1	IMPORTANT NOTIFICATION
International application No. PCT/JP99/01198	International filing date (day/month/year) 12 March 1999 (12.03.99)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 12 March 1998 (12.03.98)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
28 Dec 1998 (28.12.98)	10/373436	JP	30 Apr 1999 (30.04.99)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Juan Cruz Telephone No. (41-22) 338.83.38
--	--

PATENT COOPERATION TREATY

PCT

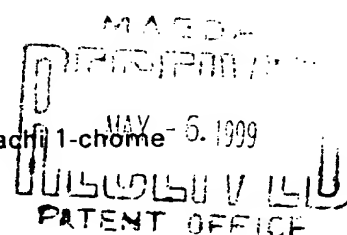
NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
 Taihei Building
 4-8, Utsubohonmachi 1-chome
 Nishi-ku
 Osaka-shi
 Osaka 550-0004
 JAPON



Date of mailing (day/month/year) 15 April 1999 (15.04.99)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference M99-Y-029CT1	International application No. PCT/JP99/01198

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. (for all designated States except US)
 MARUYAMA, Takafumi et al (for US)

International filing date : 12 March 1999 (12.03.99)
 Priority date(s) claimed : 12 March 1998 (12.03.98)
 : 28 December 1998 (28.12.98)
 Date of receipt of the record copy
 by the International Bureau : 26 March 1999 (26.03.99)
 List of designated Offices :

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE
 National : AU, CA, CN, ID, IL, JP, KR, RU, SG, US, VN

ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
☒ confirmation of precautionary designations
☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des C. lombettes 1211 Geneva 20, Switzerland	Authorized officer: K. Takeda
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING THE FILING OF AMENDMENTS OF THE CLAIMS (PCT Administrative Instructions, Section 417)

From the INTERNATIONAL BUREAU

To:

MAEDA, Hiroshi
Taihei Building
4-8, Utsubohonmachi 1-chome
Nishi-ku
Osaka-shi
Osaka 550-0004
JAPON

Date of mailing (day/month/year) 23 August 1999 (23.08.99)	
Applicant's or agent's file reference M99-Y-029CT1	IMPORTANT NOTIFICATION
International application No. PCT/JP99/01198	International filing date (day/month/year) 12 March 1999 (12.03.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

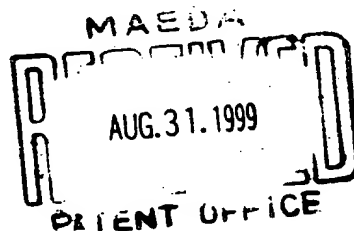
1. The applicant is hereby notified that amendments to the claims under Article 19 were received by the International Bureau on:

06 August 1999 (06.08.99)

2. This date is within the time limit under Rule 46.1.

Consequently, the international publication of the international application will contain the amended claims according to Rule 48.2(f), (h) and (i).

3. The applicant is reminded that the international application (description, claims and drawings) may be amended during the international preliminary examination under Chapter II, according to Article 34, and in any case, before each of the designated Offices, according to Article 28 and Rule 52, or before each of the elected Offices, according to Article 41 and Rule 78.



The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorised officer Susumu Kubo Telephone No.: (41-22) 338.83.38
---	--

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01198

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ G06F13/16, 13/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G06F3/00, 12/00-06, 13/16, 13/36, 13/40, 15/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999

Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 4-68462, A (K.K. Graphico), 4 March, 1992 (04. 03. 92) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16
Y A	JP, 5-2570, A (K.K. Graphico), 8 January, 1993 (08. 01. 93) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16
Y A	JP, 61-290565, A (Yokogawa Hokushin Denki K.K.), 20 December, 1986 (20. 12. 86) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16
Y A	JP, 5-314068, A (Balu Balakrishnan), 26 November, 1993 (26. 11. 93) & US, 5122691, A & EP, 488057, A1	1, 2, 4-6, 8-15 3, 7, 16
Y A	US, 5548734, A (Intel Corporation), 20 August, 1996 (20. 08. 96) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
8 June, 1999 (08. 06. 99)Date of mailing of the international search report
22 June, 1999 (22. 06. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01198

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

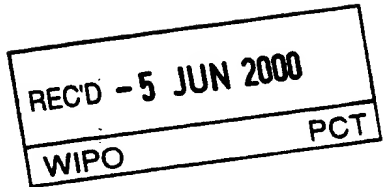
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-330156, A (Hitachi, Ltd.), 22 December, 1997 (22. 12. 97) (Family: none)	1-16

97

特 許 協 力 条 約


PCT

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 M99-Y-029CT1	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P99/01198	国際出願日 (日.月.年) 12.03.99	優先日 (日.月.年) 12.03.98
国際特許分類 (IPC) Int. Cl ⁷ G06F13/16, 13/36		
出願人 (氏名又は名称) 松下電器産業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で <u>3</u> ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で <u>4</u> ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 23.08.99	国際予備審査報告を作成した日 15.05.00	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 多 賀 実 	5 N 9367
電話番号 03-3581-1101 内線 3585		

様式PCT/IPEA/409 (表紙) (1998年7月)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-30 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2, 4-9, 14 項、 出願時に提出されたもの
 請求の範囲 第 1, 13 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの

☒ 図面 第 1-21 ページ/図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 3, 10-12, 15, 16 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲	1, 2, 4-9, 13, 14	有
請求の範囲		無

進歩性(IS)

請求の範囲	1, 2, 4-9, 13, 14	有
請求の範囲		無

産業上の利用可能性(IA)

請求の範囲	1, 2, 4-9, 13, 14	有
請求の範囲		無

2. 文献及び説明(PCT規則70.7)

請求の範囲1, 2, 4-9

複数のチップと各々バスで接続されたバス接続装置において、信号送受のタイミング調整用として、前記各チップへ送る又は受ける信号を保持するラッチ手段を設けることは、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明でもない。

請求の範囲13, 14

複数のチップに各々バスで接続され、この複数のバス間の接続を選択するバス選択装置において、複数の内部バスに各々配置されるラッチ手段を設けることは、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明でもない。

請求の範囲

1. (補正後) 複数のチップを含み、前記複数のチップ間で信号の送受を行う半導体集積回路システムであって、

前記複数のチップと各々バスで接続されたバス選択装置を備え、

前記バス選択装置は、前記複数のチップ間の接続情報を入力し、この接続情報に応じて前記複数のバス間の接続を選択すると共に、信号送受のタイミング調整用として、前記各チップへ送る又は受ける信号を保持するラッチ手段を備えたことを特徴とする半導体集積回路システム。

2. 請求項1の半導体集積回路システムにおいて、

前記バス選択装置は、

前記複数のバス間の接続を切替える切替手段と、

前記入力した複数のチップ間の接続情報を判定し、この判定結果に応じた切替信号を前記切替手段に出力する判定手段とを備えたことを特徴とする半導体集積回路システム。

3. (削除)

4. 請求項1の半導体集積回路システムにおいて、

前記複数のチップは、少なくとも1個のマスターチップと、複数個のスレーブチップを含む

ことを特徴とする半導体集積回路システム。

5. 請求項4の半導体集積回路システムにおいて、

前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を

出力し、

前記マスターチップと前記バス選択装置とは1本のバスで接続され、このバスには、前記複数のチップ間の接続情報が送られることを特徴とする半導体集積回路システム。

6. 請求項4の半導体集積回路システムにおいて、

前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を出力し、

前記マスターチップと前記バス選択装置とは2本以上のバスで接続され、前記バスの何れかには、前記複数のチップ間の接続情報が送られることを特徴とする半導体集積回路システム。

7. 請求項6の半導体集積回路システムにおいて、

前記2本以上のバスにはコマンドバスを含み、

前記コマンドバスは、前記複数のチップ間の接続情報が送られる接続情報バスとして兼用されることを特徴とする半導体集積回路システム。

8. 請求項6の半導体集積回路システムにおいて、

前記複数のチップ間の接続情報が送られるバスは、専用の接続情報バスであることを特徴とする半導体集積回路システム。

9. 請求項1の半導体集積回路システムにおいて、

前記複数のチップ間の接続情報はパケットで構成されることを特徴とする半導体集積回路システム。

10. (削除)

11. (削除)

12. (削除)

13. (補正後) 複数のチップに各々バスで接続され、この複数のバス間の接続を選択するバス選択装置であって、

前記複数のバス間の接続を切替える切換手段と、

前記複数のチップ間接続の情報を入力し、判定して、この判定結果に応じた切換信号を前記切換手段に出力する判定手段と、

前記複数のチップの何れかからデータを入力するデータ入力手段と、

前記切換手段の切換えにより選択されたバスを通じて、前記複数のチップのうち少なくとも1個に前記データを出力するデータ出力手段と、

前記複数のバスに各々接続される内部バスと、

前記複数の内部バスに各々配置されるラッチ手段とを備えた

ことを特徴とするバス選択装置。

14. 請求項13のバス選択装置において、

前記複数のチップの何れかから他のチップに対する制御信号を入力する制御信号入力手段と、

前記切換手段の切換えにより選択されたバスを通じて、前記複数のチップのうち少なくとも1個に前記制御信号を出力する制御信号出力手段とを備えた

ことを特徴とするバス選択装置。

15. (削除)

16. (削除)

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 M99-Y-029CT1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP99/01198	国際出願日 (日.月.年) 12.03.99	優先日 (日.月.年) 12.03.98
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があつた。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があつた。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 14 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ G 06 F 13/16, 13/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ G 06 F 3/00, 12/00-06, 13/16, 13/36, 13/40, 15/173

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P, 4-68462, A (株式会社グラフィコ), 4. 3月. 1992 (04. 03. 92) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
Y A	J P, 5-2570, A (株式会社グラフィコ), 8. 1月. 1993 (08. 01. 93) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
Y A	J P, 61-290565, A (横河北辰電機株式会社), 20. 12月. 1986 (20. 12. 86) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
Y A	J P, 5-314068, A (バル バラクリシュナン), 26. 11月. 1993 (26. 11. 93) & US, 5122691, A & EP, 488057, A1	1, 2, 4-6, 8-15 3, 7, 16

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

08. 06. 99

国際調査報告の発送日

22.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 実

5 N

9367

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	US; 5 5 4 8 7 3 4, A (Intel Corporation) , 20. 8月. 1996 (20. 08. 96) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
A	J P, 9-330156, A (株式会社日立製作所) 22. 12月. 1997 (22. 12. 97) (ファミリーなし)	1-16

予備審査請求は管轄国際予備審査機関へ直接行わなければならない。

IPEA/JP

特許協力条約に基づく国際出願

第 II 章

国際予備審査請求書

出願人は、次の国際出願が特許協力条約に従って国際予備審査の対象とされることを請求し、
選択資格のある全ての国を選択する。ただし、特段の表示がある場合を除く。

国際予備審査機関記入欄		
国際予備審査機関の確認		請求書の受理の日
第 I 欄 国際出願の表示		出願人又は代理人の書類記号 M 9 9 - Y - 0 2 9 C T 1
国際出願番号 PCT/JP 99/01198	国際出願日(日.月.年) 12.03.99	優先日(最先のもの)(日.月.年) 12.03.98
発明の名称 バス選択装置及びこれを備えた半導体集積回路システム		
第 II 欄 出願人		
氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載) 松下電器産業株式会社 MATSUSHITA ELECTRIC INDUSTRIAL CO.,LTD. 〒571-8501 日本国大阪府門真市大字門真1006番地 1006, Oaza Kadoma, Kadoma-shi, OSAKA 571-8501 JAPAN		電話番号: 06-6908-1473 ファクシミリ番号: 06-6909-0053 加入電話番号:
国籍(国名): 日本国 JAPAN	住所(国名): 日本国 JAPAN	
氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載) 圓山 敬史 MARUYAMA Takafumi 〒571-0074 日本国大阪府門真市宮前町16-1-201 16-1-201, Miyamae-cho, Kadoma-shi, OSAKA 571-0074 JAPAN		
国籍(国名): 日本国 JAPAN	住所(国名): 日本国 JAPAN	
氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載) 赤松 寛範 AKAMATSU Hironori 〒573-1105 日本国大阪府枚方市南楠葉1-32-30-504 1-32-30-504, Minamikuzuha, Hirakata-shi, OSAKA 573-1105 JAPAN		
国籍(国名): 日本国 JAPAN	住所(国名): 日本国 JAPAN	
<input checked="" type="checkbox"/> その他の出願人が続葉に記載されている。		

第 II 欄の続き 出願人

この第 II 欄の続きを使用しないときは、この用紙を国際予備審査請求書に含めないこと。

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

平田 貴士 HIRATA Takashi

〒572-0089 日本国大阪府寝屋川市香里西之町 2 2 - 7 - 4 2 8
22-7-428, Kori-nishinomachi, Neyagawa-shi, OSAKA 572-0089 JAPAN

国籍(国名): 日本国 J A P A N

住所(国名): 日本国 J A P A N

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

国籍(国名):

住所(国名):

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

国籍(国名):

住所(国名):

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

国籍(国名):

住所(国名):

☐ その他の出願人が他の続葉に記載されている。

第 III 欄 代理人又は共通の代表者、通知のあて名

下記に記載された者は、☒ 代理人 又は ☐ 共通の代表者 として

- ☒ 既に選任された者であって、国際予備審査についても出願人を代理する者である。
- ☐ 今回新たに選任された者である。先に選任されていた代理人又は共通の代表者は解任された。
- ☐ 既に選任された代理人又は共通の代表者に加えて、特に国際予備審査機関に対する手続きのために、今回新たに選任された者である。

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

7 7 9 3 弁理士 前田 弘 MAEDA Hiroshi
9 4 1 3 弁理士 小山 廣毅 KOYAMA Hiroki

〒550-0004 日本国大阪府大阪市西区靱本町1丁目4番8号 太平ビル
Taihei Bldg., 4-8, Utsubohonmachi 1-chome, Nishi-ku, Osaka-shi,
OSAKA 550-0004 JAPAN

電話番号:

06-6445-2128

ファクシミリ番号:

06-6445-2649

加入電話番号:

☐ 通知のためのあて名:代理人又は共通の代表者が選任されておらず、上記枠内に特に通知が送付されるあて名を記載している場合は、レ印を付す

第 IV 欄 国際予備審査に対する基本事項

補正に関する記述: *

1. 出願人は、次のものを基礎として国際予備審査を開始することを希望する。

- ☐ 出願時の国際出願を基礎とすること。
- ☐ 明細書に関して ☐ 出願時のものを基礎とすること。
- ☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。
- ☐ 請求の範囲に関して ☐ 出願時のものを基礎とすること。
- ☐ 特許協力条約第19条の規定に基づいてなされた補正(添付した説明書も含む)を基礎とすること。
- ☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。
- ☐ 図面に関して ☐ 出願時のものを基礎とすること。
- ☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。

2. ☒ 出願人は、特許協力条約第19条の規定に基づく請求の範囲に関する補正を差し替えることによって考慮されることを望む。

3. ☐ 出願人は、国際予備審査の開始が優先日から20月経過後で延期されることを望む(ただし、国際予備審査機関が、特許協力条約第19条の規定に基づき行われた補正書の写しの受領、又は当該補正を希望しない旨の出願人からの通知を受領した場合を除く(規則 69.1(d))。 (この口は、特許協力条約第19条の規定に基づく期間が満了していない場合にのみレ印を付すことができる。)

*記入がない場合は、1)補正がないか又は国際予備審査機関が補正(原本又は写し)を受領していないときは、出願時の国際出願を基礎に予備審査が開始され、2)国際予備審査機関が、見解書又は予備審査報告書の作成開始前に補正(原本又は写し)を受領したときは、これらの補正を考慮して予備審査が開始又は続行される。

国際予備審査を行うための言語は 日本語 であり、

- ☒ 国際出願の提出時の言語である。
- ☐ 国際調査のために提出した翻訳文の言語である。
- ☐ 国際出願の公開の言語である。
- ☐ 国際予備審査の目的のために提出した翻訳文の言語である。

第 V 欄 国の選択

出願人は、選択資格のある全ての指定国(即ち、既に出願人によって指定されており、かつ特許協力条約第II章に拘束されている国)を選択する。

ただし、出願人は次の国の選択を希望しない。:

第VI欄 照合欄

この国際予備審査請求書には、国際予備審査のために下記の書類が添付されている。

国際予備審査機関記入欄

受 領

未受領

- | | | | |
|--|-----|--------------------------|--------------------------|
| 1. 国際出願の翻訳文 | 枚 | <input type="checkbox"/> | <input type="checkbox"/> |
| 2. 特許協力条約第34条の規定に基づく補正書 | 枚 | <input type="checkbox"/> | <input type="checkbox"/> |
| 3. 特許協力条約第19条の規定に基づく補正書
(又は、要求された場合は翻訳文)の写し | 4 枚 | <input type="checkbox"/> | <input type="checkbox"/> |
| 4. 特許協力条約第19条の規定に基づく説明書
(又は、要求された場合は翻訳文)の写し | 枚 | <input type="checkbox"/> | <input type="checkbox"/> |
| 5. 簡 | 枚 | <input type="checkbox"/> | <input type="checkbox"/> |
| 6. その他(書類名を具体的に記載する): | 枚 | <input type="checkbox"/> | <input type="checkbox"/> |

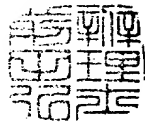
この国際予備審査請求書には、さらに下記の書類が添付されている。

- | | |
|---|---|
| 1. <input checked="" type="checkbox"/> 手数料計算用紙 | 3. <input type="checkbox"/> 包括委任状の写し |
| <input checked="" type="checkbox"/> 納付する手数料に相当する特許印紙を
貼付した書面 | 4. <input type="checkbox"/> 記名押印(署名)に関する説明書 |
| <input checked="" type="checkbox"/> 国際事務局の口座への振込を証明する書面 | 5. <input type="checkbox"/> ヌクレオチド又はアミノ酸配列表
(フレキシブルディスク) |
| 2. <input type="checkbox"/> 別個の記名押印された委任状 | 6. <input type="checkbox"/> その他(書類名を具体的に記載する): |

第VII欄 提出者の記名押印

各人の氏名(名称)を記載し、その次に押印する。

前 田 弘



国際予備審査機関記入欄

1. 国際予備審査請求書の実際の受理の日

2. 規則60.1(b)の規定による国際予備審査請求書の受理の日の訂正後の日付

3. ☐ 優先日から19月を経過後の国際予備審査請求書の受理。ただし、以下の4,5の項目にはあてはまらない。☐ 出願人に通知した。4. ☐ 規則80.5により延長が認められている優先日から19月の期間内の国際予備審査請求書の受理5. ☐ 優先日から19月を経過後の国際予備審査請求書の受理であるが規則82により認められる。

国際事務局記入欄

国際予備審査請求書の国際予備審査機関からの受領の日:

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

6T
2661
Translation
09623655

RECEIVED
FEB 08 2001
Technology Center 2600

Applicant's or agent's file reference M99-Y-029CT1	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/01198	International filing date (day/month/year) 12 March 1999 (12.03.99)	Priority date (day/month/year) 12 March 1998 (12.03.98)
International Patent Classification (IPC) or national classification and IPC G06F 13/16, 13/36		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 3 sheets, including this cover sheet.
- ☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 4 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 23 August 1999 (23.08.99)	Date of completion of this report 15 May 2000 (15.05.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/01198

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages 1-30, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages 2,4-9,14, as originally filed
pages 1,13, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the drawings:
pages 1-21, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☒ the claims, Nos. 3,10-12,15,16
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/01198

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**1. Statement**

Novelty (N)	Claims	1,2,4-9,13,14	YES
	Claims		NO
Inventive step (IS)	Claims	1,2,4-9,13,14	YES
	Claims		NO
Industrial applicability (IA)	Claims	1,2,4-9,13,14	YES
	Claims		NO

2. Citations and explanations**CONCERNING CLAIMS 1, 2, 4-9**

In a bus connection device connecting a plurality of chips and separate buses, providing a latch means for holding a signal sent to or received from the aforesaid individual chips and using this for adjusting the timing of signal sending and receiving is not disclosed in any of the documents cited in the ISR, and appears to be non-obvious to a person skilled in the art.

Concerning Claims 13, 14

In a bus selection device connecting a plurality of chips and separate buses and selecting connections between this plurality of buses, providing latch means individually disposed in the plurality of interior buses is not disclosed in any of the documents cited in the ISR, and appears to be non-obvious to a person skilled in the art.



(51) 国際特許分類 G06F 13/16, 13/36	A1	(11) 国際公開番号 WO99/46685 (43) 国際公開日 1999年9月16日(16.09.99)
(21) 国際出願番号 PCT/JP99/01198 (22) 国際出願日 1999年3月12日(12.03.99) (30) 優先権データ 特願平10/60868 1998年3月12日(12.03.98) JP 特願平10/373436 1998年12月28日(28.12.98) JP (71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)(JP/JP) 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 圓山敬史(MARUYAMA, Takafumi)(JP/JP) 〒571-0074 大阪府門真市宮前町16-1-201 Osaka, (JP) 赤松寛範(AKAMATSU, Hironori)(JP/JP) 〒573-1105 大阪府枚方市南楠葉1-32-30-504 Osaka, (JP) 平田貴士(HIRATA, Takashi)(JP/JP) 〒572-0089 大阪府寝屋川市香里西之町22-7-428 Osaka, (JP)		(74) 代理人 弁理士 前田 弘, 外(MAEDA, Hiroshi et al.) 〒550-0004 大阪府大阪市西区靱本町1丁目4番8号 太平ビル Osaka, (JP) (81) 指定国 AU, CA, CN, ID, IL, JP, KR, RU, SG, US, VN, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書 補正書
(54)Title: BUS SELECTOR AND INTEGRATED CIRCUIT SYSTEM (54)発明の名称 バス選択装置及びこれを備えた半導体集積回路システム (57) Abstract A bus selector device (3) is placed independently of a master chip (1) and at a distance substantially equal from the master chip (1) and a plurality of slave chips (2a-2c). When transmitting and receiving a command or data, the master chip (1) supplies the bus selector device (3) with a connection information signal that indicates the connection of buses (B, Ba-Bc) between chips (1, 2a-2). The bus selector device (3) switches and selects the bus connections between chips on the basis of the connection information signal. Therefore, the bus length becomes short and substantially equal for all the chips (1, 2a-2c), and high-speed data transmission can be achieved between chips. Further, the number of pins of the master chip is reduced. EB...CONTROL BUS 11...MEMORY CONTROLLER 3b...BUS SELECTOR 142, 152...SELECTOR CIRCUIT 4, 5, 6, 7, 8, 9, 10, 11...I/O SECTION		

(57)要約

バス選択装置3はマスターチップ1とは独立して配置される。前記バス選択装置3は、前記マスターチップ1及び複数のスレーブチップ2a～2cとの距離が実質的に等距離の位置に設置される。前記マスターチップ1は、コマンド又はデータの送受を行う際、前記複数のチップ1、2a～2c間のバスB、Ba～Bcの接続を示す接続情報信号を前記バス選択装置3に出力する。バス選択装置3は、前記接続情報信号に基づいて、前記複数のチップ間のバス接続を切換え、選択する。従って、前記複数のチップ1、2a～2c間のバス長が各バス間でほぼ等長且つ短くなり、複数のチップ間での高速なデータ伝送が可能となる。また、マスターチップに要するピン数が削減される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	SD スーダン
AL アルバニア	EE エストニア	LC セントルシア	SE スウェーデン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SG シンガポール
AT オーストリア	FI フィンランド	LK スリ・ランカ	SI スロヴェニア
AU オーストラリア	FR フランス	LR リベリア	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LS レソト	SL シエラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SN セネガル
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SZ スワジランド
BE ベルギー	GE グルジア	LV ラトヴィア	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴ
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TZ タンザニア
BR ブラジル	GW ギニア・ビサウ	MK マケドニア旧ユーゴスラヴィア共和国	TM トルクメニスタン
BY ベラルーシ	GR ギリシャ	ML マリ	TR トルコ
CA カナダ	HR クロアチア	MN モンゴル	TT トリニダード・トバゴ
CF 中央アフリカ	HU ハンガリー	MR モーリタニア	UA ウクライナ
CG コンゴ	ID インドネシア	MW マラウイ	UG ウガンダ
CH スイス	IE アイルランド	MX メキシコ	US 米国
CI コートジボアール	IL イスラエル	NE ニジェール	UZ ウズベキスタン
CM カメルーン	IN インド	NL オランダ	VN ヴェトナム
CN 中国	IS アイスランド	NO ノールウェー	YU ユーゴスラビア
CR コスタ・リカ	IT イタリア	NZ ニュー・ジーランド	ZA 南アフリカ共和国
CJ キューバ	JP 日本	PL ポーランド	ZW ジンバブエ
CY キプロス	KE ケニア	PT ポルトガル	
CZ チェッコ	KG キルギスタン		

明細書

バス選択装置及びこれを備えた半導体集積回路システム

〔技術分野〕

本発明は、複数のチップ間のバスを切換えて選択するバス選択装置、及びこのバス選択装置を含む半導体集積回路システムに関する。

[背景技術]

近年、情報化社会が急速に成長するに従い、情報量を大量にしかも高速に処理する半導体回路システムが必要とされている。こうした大容量の情報処理するには、多くの記憶素子（メモリ）が必要であり、また損失の少ない高速なデータ伝送が必要となる。

以上の観点から、例えば、DRAMに代表される半導体メモリを複数連続して接続することが従来より行われるが、これ等メモリを制御するメモリコントローラとこれから離れたメモリまでのバス長が増加して、信号の伝達遅延が増大し、この遅延が高速データ転送において問題となる。また、半導体メモリの大容量化を目指して複数のメモリを配置し且つ制御しようとする、メモリコントローラから各メモリへのバス長にばらつきが生じて、各バスを経た信号伝達に差が生じ、従って、メモリコントローラとメモリとの間のクロックスキューが補償できなくなる。特に、高速クロック動作では、システムの安定した高速動作が保証できなくなる場合も生じる。

そこで、従来、メモリコントローラとメモリとの間のバス長を短くすることで信号の伝達遅延を減少させて、クロックスキューを保証し、高速なデータ転送を行う半導体集積回路システムが提案されている。例えば、米国特許 U.S.Patent 5,408,129に示される Rambus社の半導体集積回路システムでは、図17(a)及

び（b）に示すようにメモリコントローラからメモリまでの距離を短くして高速安定動作を図ると共に、多数のメモリを接続する場合には、マスターチップに備えるメモリコントローラに複数のチャネルを設置して、多数のメモリを制御する構成を提案している。

－解決課題－

しかしながら、上述のような従来の半導体集積回路システムでは、複数のメモリをシリアルに接続するため、メモリの個数を増加させると、メモリコントローラ部から最終のメモリまでのバス長が長くなり、その結果、メモリコントローラ部に最も近接するメモリと最も離れたメモリ間に信号の遅延が生じる。この遅延は、高周波数のクロック信号で信号を送受する場合には、システムの安定した高速動作が良好に保証できなくする。また、メモリコントローラ部に複数のチャネルを設置すると、メモリコントローラ部のピン数が増加してしまい、そのパッケージサイズを増大させ、生産コストの面で問題が生じる。

〔発明の開示〕

本発明の目的は、半導体集積回路システムにおいて、メモリコントローラ部等のピン数の増加なしに、備える複数の半導体メモリ等の各バス長間のバラツキを小さくして、複数の半導体メモリ等を高速に且つ効率良く制御することにある。

以上の目的を達成するため、本発明では、複数の半導体メモリ等とは別途に、これ等複数の半導体メモリ等へのバスを切換え選択するバス選択装置を配置し、このバス選択装置を用いて、複数の半導体メモリ等のチップ間で信号の送受を行う。

即ち、本発明の半導体集積回路システムは、複数のチップを含み、前記複数のチップ間で信号の送受を行う半導体集積回路システムであって、前記複数のチッ

ブと各々バスで接続されたバス選択装置を備え、前記バス選択装置は、前記複数のチップ間の接続情報を入力し、この接続情報に応じて前記複数のバス間の接続を選択することを特徴とする。

また、本発明の半導体集積回路システムは、少なくとも1個のマスターチップと、複数のスレーブチップを含む半導体集積回路システムであって、前記複数のチップと各々バスで接続され、前記複数のバス間の接続を選択するバス選択装置を備え、前記バス選択装置は、前記複数のスレーブチップに対して各々実質的に等距離の位置に配置されることを特徴とする。

従って、本発明では、バス選択装置はマスターチップとは別個独立して配置されるので、マスターチップのピン数が削減される。更に、バス選択装置の配置位置は自由に決定できるので、このバス選択装置を複数のスレーブチップから実質的に等距離の位置に配置できる。従って、マスターチップから各スレーブチップへの各バス長を相互にほぼ等長に且つ短くでき、その結果、複数のスレーブチップに大容量のデータを格納しながら、複数チップ間のデータ伝送を高速に行うことができる。

本発明は、前記半導体集積回路システムにおいて、前記バス選択装置は、前記複数のバス間の接続を切換える切換手段と、前記入力した複数のチップ間の接続情報を判定し、この判定結果に応じた切換信号を前記切換手段に出力する判定手段とを備えることが好ましい。

更に、前記バス選択装置は、信号送受のタイミング調整用として、前記各チップへ送る又は受ける信号を保持するラッチ手段を備えることが好ましい。

加えて、本発明は、前記半導体集積回路システムにおいて、前記複数のチップは、少なくとも1個のマスターチップと、複数個のスレーブチップを含むことが望ましい。

加えて、本発明は、前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を出力し、前記マスターチップと前記バス選択装置とは1本のバスで接続され、このバスには、前記複数のチップ間の接続情報が送られるとしても良い。

更に加えて、本発明は、前記半導体集積回路システムにおいて、前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を出力し、前記マスターチップと前記バス選択装置とは2本以上のバスで接続され、前記バスの何れかには、前記複数のチップ間の接続情報が送られるとしても良い。

また、本発明は、前記2本以上のバスにはコマンドバスを含み、前記コマンドバスは、前記複数のチップ間の接続情報が送られる接続情報バスとして兼用されるとしても良い。

更に、本発明は、前記半導体集積回路システムにおいて、前記複数のチップ間の接続情報が送られるバスは、専用の接続情報バスであるとしても良い。

加えて、本発明は、前記半導体集積回路システムにおいて、前記複数のチップ間の接続情報はバケットで構成されるとしても良い。

更に加えて、本発明は、前記バス選択装置は、前記マスターチップ及び複数のスレーブチップに対して各々実質的に等距離の位置に配置されることが望ましい。

また、本発明は、前記半導体集積回路システムにおいて、前記スレーブチップはメモリであるとしても良い。

また、本発明のバス選択装置は、複数のチップに各々バスで接続され、この複数のバス間の接続を選択するバス選択装置であって、前記複数のバス間の接続を切換える切換手段と、前記複数のチップ間接続の情報を入力し、判定して、この

判定結果に応じた切換信号を前記切換手段に出力する判定手段とを備えたことを特徴とする。

更に、本発明は、前記バス選択装置において、前記複数のチップの何れかから他のチップに対する制御信号を入力する制御信号入力手段と、前記切換手段の切換えにより選択されたバスを通じて、前記複数のチップのうち少なくとも１個に前記制御信号を出力する制御信号出力手段とを備えることが好ましい。

加えて、本発明は、前記複数のチップの何れかからデータを入力するデータ入力手段と、前記切換手段の切換えにより選択されたバスを通じて、前記複数のチップのうち少なくとも１個に前記データを出力するデータ出力手段とを備えることが望ましい。

更に、本発明は、前記バス選択装置において、前記複数のバスに各々接続される内部バスを備え、前記複数の内部バスには、各々、ラッチ手段が配置されることが好ましい。

〔図面の簡単な説明〕

図１は本発明の第１の実施形態の半導体集積回路システムを示すブロック図である。

図 2 は同実施形態の半導体集積回路システムに備える判定回路の構成を示す図である。

図3(a)、(b)、(c)は各々同実施形態の半導体集積回路システムに備える選択回路及びラッチ回路の構成並びにコマンド入力に対する判定結果を示す図である。

図 4 は同実施形態の半導体集積回路システムにおけるコマンド入力とデータ出力とのタイミング例を示す図である。

図 5 は同半導体集積回路システムで用いるコマンドバケットの構成を示す図である。

図 6 は同半導体集積回路システムにおけるコマンド入力、スイッチ動作及びデ

ータ出力のタイミング例を示す図である。

図 7 は同タイミングの他の例を示す図である。

図 8 は本発明の第 2 の実施形態の半導体集積回路システムの全体構成を示すブロック図である。

図 9 は同実施形態の半導体集積回路システムに備える選択回路の構成を示す図である。

図 10 は同半導体集積回路システムに備える判定回路の構成を示す図である。

図 11 (a) 及び (b) は同半導体集積回路システムに備えるコマンドバス選択回路及びデータバス選択回路の構成を各々示す図である。

図 12 は同半導体集積回路システムで使用するコマンドバケットの構成を示す図である。

図 13 は同コマンドバケットのコマンド入力に対する判定結果を示す図である。

図 14 は本発明の第 3 の実施形態の半導体集積回路システムの全体構成を示すブロック図である。

図 15 は同実施形態の半導体集積回路システムで使用するコマンドバケットの構成を示す図である。

図 16 は本発明の第 2 の実施形態の半導体集積回路システムにおけるコマンド入力、スイッチ動作及びデータ出力の各タイミングを示す図である。

図 17 は本発明の第 3 の実施形態の半導体集積回路システムにおけるコマンド入力、スイッチ動作及びデータ出力の各タイミングを示す図である。

図 18 は本発明の半導体集積回路システムに備える選択回路の変形例を示す図である。

図 19 は本発明の第 3 の実施形態の半導体集積回路システムにおけるコマンド入力、スイッチ動作及びデータ出力の他のタイミングを示す図である。

図 20 は本発明の第 4 の実施形態の半導体集積回路システムの全体構成を示すブロック図である。

図 2 1 (a) 及び (b) は従来の半導体集積回路システムの全体概略構成を示す図である。

[発明を実施するための最良の形態]

(第 1 の実施形態)

図 1 は、第 1 の実施形態の半導体集積回路システム 110 を示す。本実施の形態では、半導体集積回路システム 110 が、マスターチップ 1 として CPU、複数のスレーブチップとして第 1、第 2 及び第 3 の DRAM 2 a、2 b 及び 2 c を含む場合を説明する。

同図において、3 はバス選択装置である。このバス選択装置 3 は、マスターチップ 1 及び複数のスレーブチップ 2 a ~ 2 c と各々バス（伝送線路）B、Ba ~ Bc によって接続される。前記マスターチップ 1 は、前記各スレーブチップ 2 a ~ 2 c とデータの送受を行うためのメモリコントローラ 1 a を内部に備える。このメモリコントローラ 1 a は、各スレーブチップ 2 a ~ 2 c を制御するコマンドをバケット方式で出力する。前記マスターチップ 1 とバス選択装置 3 とは、コマンド及びデータを伝送する複数のビット幅（例えば 8 ビット幅）を有する 1 本のバス（伝送線路）B によって接続される。複数のスレーブチップ 2 a ~ 2 c とバス選択装置 3 とも、コマンド及びデータを伝送するバス Ba ~ Bc によって接続される。バス選択装置 3 を、マスターチップ 1 と共に 1 チップに構成するか又は単独に 1 チップで構成するかは適宜選択すればよい。

バス選択装置 3 は、4 個の入出力部 6、6 a ~ 6 c と、判定回路（判定手段）7 と、選択回路（切換手段）8 と、ラッチ回路（ラッチ手段）9 a ~ 9 c と、クロック位相調整回路（DLL）10 とを備える。前記入出力部 6、6 a ~ 6 c は、各々、バス B、Ba ~ Bc を経てマスター及びスレーブチップ 1、2 a ~ 2 c とコマンドやデータの送受を行う。判定回路 7 は、前記マスターチップ 1 から入出力部 6

を経てコマンドを受け、このコマンドが前記複数のスレーブチップ 2 a ~ 2 cのうち何れを指定しているかのID情報を判定し、その判定結果を出力する。前記選択回路 8 は、前記判定回路 7 の判定結果を受け、この判定結果に基づいてマスターチップ 1 と複数のスレーブチップ 2 a ~ 2 c との間のバスの接続を切替える。ラッチ回路 9 a ~ 9 c は、バス選択装置 3 の内部バス I B、I B a ~ I B c に各々配置され、マスターチップ 1 から送られてきたコマンドや複数のスレーブチップ 2 a ~ 2 c から読み出されたデータをラッチする。クロック位相調整回路 1 0 はクロック CLK2 を生成する。

前記選択回路 8 は、前記 4 個の入出力部 6、6 a ~ 6 c 同志を接続する内部バス I B、I B a ~ I B c の交点、即ち、マスターチップ 1 と複数のスレーブチップ 2 a ~ 2 c とを結ぶバス B、B a ~ B c の交点に位置し、マスターチップ 1 から複数のスレーブチップ 2 a ~ 2 c までの各々の伝送線路長が短くなるように設置される。本選択回路 8 は、バス S を通じて判定回路 7 からの信号を受け、判定回路 7 からの信号に基づいて 1 つのバスを選択するデコード機能と、そのバスの選択を次のバスが選択されるまで保持するラッチ機能を有する。図 3 (a) に選択回路 8 の概略図を示す。選択回路 8 は、内部に、各スレーブチップ 2 a ~ 2 c に対応して選択スイッチ SWa、SWb、SWc を有する。選択回路 8 は、判定回路 7 から出力された選択信号 Sa、Sb、Sc を受け、マスターチップ 1 と選択されたスレーブチップとのバスを結ぶ選択スイッチ SWa、SWb 又は SWc を活性化して、マスターチップ 1 と選択されたスレーブチップとの間でコマンド及びデータの送受信を行う。尚、選択信号 Sa ~ Sc の内容を変化させれば、1 又は複数の選択スイッチを活性化することができ、一度に複数のスレーブチップへ同時にコマンドを送信することも可能である。

前記判定回路 7 は、図 2 に示す内部構成を持つ。図 7 において、判定回路 7 は、バス B よりコマンドを受ける入力部 7 a と、入力部 7 a で受けたコマンドを解析する判定部 7 b と、判定部 7 b からの判定結果を次の判定結果が入力されるまで保持するラッチ回路 7 c と、ラッチ回路 7 c からの判定結果を出力する出力部 7 d とを有

する。判定回路 7 の動作の概略を示すと次の通りである。即ち、判定部 7 b は、入力部 7 a で受けたパケット方式のコマンドの上位 2 ビットから、選択スイッチ SWa、SWb、SWc を各々活性化させる選択信号 Sa、Sb、Sc を生成する。例えば図 3 (c) に示すように、上位 2 ビットの信号が "0 1" ならばスレーブチップ 2 a に対応する選択スイッチ SWa への選択信号 Sa を、"1 0" ならばスレーブチップ 2 b に対応する選択スイッチ SWb への選択信号 Sb を、"1 1" ならばスレーブチップ 2 c に対応する選択スイッチ SWc への選択信号 Sc を各々活性化させるように、前記コマンドの上位 2 ビットをデコードする。判定部 7 b で生成された選択信号 Sa、Sb、Sc は、ラッチ回路 7 c によって次の選択信号が生成されるまで、その状態を保持される。そして、出力部 7 d はラッチ回路 7 c から選択信号 Sa、Sb、Sc を受け、選択回路 8 へ出力する。尚、この判定回路 7 は図 1 のように独立に設置することも、また、選択回路 8 内に設置することも可能である。また、判定部 7 b で生成された選択信号 Sa、Sb、Sc は、図 2 に示したように複数ビットの伝送線路を用いて伝送しても良いし、信号をシリアル／パラレル変換することにより、伝送線路本数を減らして送信することも可能である。

前記複数のラッチ回路 9 a ～ 9 c は、選択回路 8 と複数の入出力部 6 a ～ 6 c との間に配置した内部バス B I a ～ B I c の各々に配置されると共に、双方向ラッチ回路の構成であって、マスターチップ 1 からのコマンドを選択回路 8 を経て受けてスレーブチップ 2 a ～ 2 c に出力する一方、スレーブチップ 2 a ～ 2 c から各々出力されたデータを受けて選択回路 8 に出力する。これ等ラッチ回路 9 a ～ 9 c は各々内部に遅延回路（図示せず）を備え、これ等遅延回路は各々前記判定回路 7 からバス S に出力された選択信号 Sa ～ Sc を所定時間遅延する。更に、前記各ラッチ回路 9 a ～ 9 c は、図 3 (b) に示すように例えばクロックドインバータで構成され（単方向のラッチ回路のみ図示している）と共に、クロック位相調整回路 1 0 からのクロック CLK2 を受け、このクロック CLK2 と前記遅延した選択信号とに基づいて、入力されたコマンド又はデータを一時保持して出力する。

前記クロック位相調整回路 10 は、仮にコマンドやデータの出力タイミングにばらつきが生じてしまった際に、それ等の出力タイミングを調整する。クロック位相調整回路 10 は、クロック線 5a からのクロック CLK1 を受けると共に、クロック線 5b を介して回路内部に出力されるクロック CLK2 がフィードバックされ、そのクロック CLK2 の状態を判断し、その変化に基づいてクロック CLK1 の位相を調整することにより、この位相調整されたクロック CLK1 をクロック CLK2 として出力する。このクロック CLK2 によって複数のラッチ回路 9a~9c の動作タイミングを決定し、マスターチップ 1 からのコマンドを複数のスレーブチップ 2a~2c へ出力するタイミングを調整する。

ラッチ回路 9a~9c は、クロック位相調整回路 10 から出力されたクロック CLK2 と判定回路 7 からの選択信号とによって制御され、判定回路 7 からの選択信号が H レベルであれば、その期間、選択回路 8 又は複数のスレーブチップ 2 から送られてくる信号を取り込む。このような方法を採用すれば、選択回路 8 の活性化と信号伝送のタイミング調整との双方を行い得て、複数のスレーブチップ 2 との間の信号の制御を行うことができる。複数のラッチ回路 9a~9c の出力は、入出力部 6a~6c に各々送られ、又は選択回路 8 に送られる。前記複数のラッチ回路 9a~9c は、双方向への信号の送受信を行うことが可能であるが、これらの構成は、一つの回路で双方向ラッチ機能を有しても、単方向ラッチ回路を各々逆方向に組み合わせることで双方向ラッチ機能を有しても良い。

尚、複数のスレーブチップである第 1、第 2 及び第 3 の DRAM 2a~2c は、DDR DRAM や SLD RAM 等のようにメモリ内部にクロック位相調整機能やクロック線をそのまま折り返してデータクロックとして用いるような機能を持つことも可能である。これ等の機能を持てば、DRAM からデータを出力する際に、クロック CLK1 とのタイミングを調整せずに出力することができる。

尚、マスターチップ 1 から出力される信号（制御コマンド）は、判定回路 7 に送信されると共に、選択回路 8 にも送信されるので、この制御コマンドは、この

制御コマンドを送る前に選択されていたバスを介して既に選択されているスレーブチップにも送られることになる。そこで、各スレーブチップ 2 a～2 c には、各々、第 1 ビットが”0”のコマンドが送られてきた際には、これをコマンドとして認知しない判定回路 1 9 a～1 9 c が備えられる。前記判定回路 1 9 a～1 9 c は、コマンドの先頭ビットが”1”である場合には、そのコマンドはスレーブチップに対するコマンドであると認知する。

図 5 はマスターチップ 1 から出力されるコマンドパケットの構成例を示す。同図において、コマンドパケットは 8 ビットから成り、コマンド C I xx では、第 1 ビットが送信先判定情報であり、第 2 及び第 3 ビットが複数のスレーブチップ 2 a～2 c の ID 情報である。第 4 ないし第 8 ビットは値は存在するが情報としては意味がない。前記送信先判定情報は、判定回路 7 又は選択回路 8 の何れに送信すべき信号かの判定情報であり、判定回路 7 への送信時に”0”、選択回路 8 への送信時に”1”となる。また、前記 ID 情報は、3 個のスレーブチップ 2 a～2 c のうち何れを選択するかの情報であり、第 2 及び第 3 ビット A、B の両値の組合せにより、図 3 (c) に示すような情報となる。またコマンド C xx では、第 1 ビットが送信先判定情報であり、第 2 ビットがデータの読み出し又は書き込みの何れを行うかの情報であり、第 3 ないし第 8 ビットは読み出し又は書き込むデータのアドレス情報である。

尚、ID 情報を有するコマンドの上位ビットのビット数は、スレーブチップの数やバスの接続方法等に合わせて 3 ビット以上の任意の値を採ることも可能である。そうすれば、複数のスレーブチップの選択が可能となり、より多数のスレーブチップ (DRAM) を制御することができる。また、本実施形態では、複数のスレーブチップの中から一つのスレーブチップを選択しているが、この ID 情報を含むコマンドの上位ビット数を増やせば、同時に複数のスレーブチップに複数のコマンドを送ることが可能となる。

次に、半導体集積回路システム110の動作を詳しく説明する。

図4は、図1に示した半導体集積回路システム110の動作の一例としてのデータの読み出し動作のタイミングを模式的に示す。例えば、マスターチップ（CPU）1からコマンドを送信し、選択されたスレーブチップ（DRAM）2aからデータを読み出す場合である。ここでは、コマンドやデータの伝達を行うバスが8ビット存在する場合を想定する。この場合、マスターチップ1から送信されるコマンドは、複数のチップ1、2a～2c間の接続情報として、複数のスレーブチップ2a～2cへのバスの中から1つのバスを選択する選択情報（スレーブチップのID情報を含むコマンドC I xx）を含むと共に、スレーブチップ2aの読み出しアドレス（スレーブチップのID情報を含まないコマンドC xx）を含み、図4に示されるように、クロックCLK1に同期（クロックの立上り及び立下りに同期）してパケット方式で送られる。図4においてバスBは、バスB上における信号の伝播の状態を示している。バスB上を伝播する信号は、先ず始めにコマンドC I xxがマスターチップ1より出力される。その後、目的のスレーブチップ2aへコマンド（読み出し命令）が送られ、スレーブチップ2aでコマンドが実行される。その後、所定の処理時間が経過すると、スレーブチップ2aからデータD xxが出力されて、マスターチップ1へ送られる。

尚、このコマンドの送信は、図4（a）のようにID情報を含むコマンド信号C I xxと、読み出しアドレス等のコマンドC xxとを連続的に送信してもよいし、図4（b）に示すように、最初にID情報を含むコマンドC I xxを送信し、その後、読み出しアドレス等のコマンドC xxを送信してもよい。

次に、複数のスレーブチップ2a～2cのうちの一つ又は複数のスレーブチップがマスターチップ1からコマンドを受け、そのコマンドを実行し、コマンドの実行（読み出し処理等）によって得られるデータをマスターチップ1や他の複数の

スレーブチップ2へ出力する動作を示す。

1) 一つのスレーブチップ2aからマスターチップ1へデータを出力する場合
マスターチップ1からスレーブチップ2aへ送られたコマンドの実行後、スレーブチップ2aから出力されたデータは入出力部6aに出力され、ラッチ回路9aへ送られる。ラッチ回路9aで受けたデータはクロックCLK2と選択信号Saによって制御され、選択回路8へ出力される。ラッチ回路9aでは、上述したように、選択信号Sa（Hレベル）の入力に応じてデータを取り込むので、スイッチSWaの活性化と、データ転送のタイミング調整とが行われる。スイッチSWaの活性化には、スイッチSWaのID情報を含むコマンドパケットをマスターチップ1から出力し、判定回路7で受け、そのコマンドパケットを解析することにより、スイッチSWaの選択信号Saが選択回路8へ出力される。また、この選択信号Saは同時にラッチ回路9aへも出力される。スレーブチップで読み出されたデータは、選択回路8から入出力部6へ送られ、この入出力部6からマスターチップ1へ送られる。

2) 複数のスレーブチップ2a～2cからマスターチップ1へデータを出力する場合

動作の一例として、図6に示すように、マスターチップ1から複数のスレーブチップ2a、2b、2cに順次コマンドを送る場合を説明する。図6中のバスBは、バスBを伝播する信号の状態を示している。

マスターチップ1から出力されるコマンドとしては、先ずタイミングT1において、スレーブチップ2aのID情報を含むコマンドC1a1を送り、スレーブチップ2aとの伝送線路を確立する。その後、タイミングT3でスレーブチップ2aへコマンド（例えば読み出し命令）Ca1を送る。そして、次のタイミングT4において、スレーブチップ2bのID情報を含むコマンドC1b1を送ることにより、スレーブチップ2aとの伝送線路を切断し、スレーブチップ2bとの伝送線路を確立する。続いて、T6のタイミングでスレーブチップ2bへコマンドCb1を送信する。タイミングT7～T9においても同様の動作を行う。タイミングT4～T9の動作が行われている間に、

同図ではタイミングT5で、前記スレーブチップ2 aに送信したコマンドCa1を実行して得られたデータDa1が出力されてラッチ回路9 aに入力され、ラッチ制御信号C9aによってラッチ回路9 aに一時的に保持される。

次に、T10のタイミングでマスターチップ1からスレーブチップ2 aのID情報を含むコマンドC1a2を送り、スレーブチップ2 aとの伝送線路を確立する。この時、同時に判定回路7からラッチ回路9 aへも選択信号Saが送られ、ラッチ回路9 aで保持されていたデータDa1はタイミングT11で選択回路8へ出力される。その後、データDa1は選択回路8、バスBを介してマスターチップ1へ出力される。そして、スレーブチップ2 aとの伝送線路が確立された状態で、次のタイミングT12においてマスターチップ1からスレーブチップ2 aへ次のコマンドCa2が送られる。残りのスレーブチップ2 b、2 cに対しても図6のタイミングに沿って同様の動作を行う。

以上の動作により、マスターチップ1と複数のスレーブチップ2 a～2 cとのコマンド及びデータの送受が可能となり、複数のスレーブチップ2 a～2 cを制御することが可能となる。また、このようにコマンドやデータの送受タイミングを調整することにより、同一バス上でコマンドやデータが同一タイミングで混在することを防止できる。

図7は、マスターチップ1からのコマンドの送信を複数のスレーブチップ2 a～2 cにランダムに行う場合のタイミングを示す。図7中のバスBは、バスBを伝播する信号の状態を示している。図7の動作では、マスターチップ1からコマンドをスレーブチップに送る順序は、スレーブチップ2 a、2 c、2 b、2 c、2 a、2 b、2 a、2 cの順序である。

マスターチップ1からスレーブチップ2 aにコマンドCa1を送るために、マスターチップ1は、まず、スレーブチップ2 aのID情報を含むコマンドC1a1をT1のタイミングで送り、スイッチSWaを活性化して、スレーブチップ2 aとの伝送線路を確

立する。その後、コマンド（読み出し命令）Ca1をスレーブチップ2 aへ送る。スレーブチップ2 aはコマンドCa1を受け取り、このコマンドを実行じて、データDa1を出力する。スイッチSWaは、このデータDa1がマスターチップ1に送られるまでその状態を保持する。そして、データDa1がマスターチップ1へ送られた後、マスターチップから次のスレーブチップ2 cのID情報を含むCIc1が出力されて、スレーブチップ2 aとの伝送線路が切断されると共に、スレーブチップ2 cとの伝送線路が確立され、T6のタイミングでコマンド（読み出し命令）Cc1がスレーブチップ2 cへ送付される。以下同様の動作を行う。

以上の動作を行うことにより、複数のスレーブチップ2 a～2 cとのランダムな信号の送受が可能となり、複数のスレーブチップのランダム制御が可能となる。また、伝送線路が確立されている間に多くのコマンドを送付するので、コマンドやデータを連続的に送受できる。

尚、本実施形態では示さなかったが、判定回路7に送るスレーブチップのID情報を変化させれば、マスターチップ1とスレーブチップとの接続だけでなく、スレーブチップ2同士の接続が可能となる。例えば、スレーブチップ2 a、2 b、2 cが演算機能を有するチップである場合、スレーブチップ2 aのID情報を含むコマンドパケットを出力し、マスターチップ1とスレーブチップ2 aとの伝送線路の接続を確立した後、スレーブチップ2 aへコマンドを送る。その後、2個のスレーブチップ2 a、2 bを接続するID情報を含むコマンドパケットをマスターチップ1より出力し、これ等スレーブチップ2 a、2 bの伝送線路の接続を確立する。マスターチップ1から送られたコマンドはスレーブチップ2 aで実行され、その実行により得られたデータを、前記確立された伝送線路を用いてスレーブチップ2 bに転送し、その実行データをもとにスレーブチップ2 bにおいて別の処理を行うことも可能である。

また、選択回路8は、複数ビットから成るバスの各ビットに対し、1つずつ備

えることも可能である。コマンドバケットに含まれるスレーブチップのID情報を定義して、例えばマスターチップ1につながるバスBの第1ビットはスレーブチップ2aのバスBaの第1ビットと接続させ、第2ビットはスレーブチップ2bのバスBbの第2ビットと、スレーブチップ2aのバスBaの第3ビットはスレーブチップ2cのバスBcの第3ビットと接続させれば、同時にマスターチップ1とスレーブチップ間、又は複数のスレーブチップ間で各々信号の送受が可能である。

(第2の実施形態)

図8は、本発明の第2の実施形態の半導体集積回路システム110を示す。前記第1の実施形態では、各チップ1、2a～2cとバス選択装置3とを各々所定ビット幅の1本のバスB、Ba～Bcで接続したのに代え、本実施形態では、コマンドバスとデータバスとの2本のバスを配置し、前記コマンドバスを使用してバス選択装置にバスの切換情報を送信するようにしたものである。

図8の半導体集積回路システム110では、バス選択装置3aは、その四方が4個のチップ1、2a～2cで取り囲まれるように配置されていて、バス選択装置3aからこれ等チップ1、2a～2cまでの各距離は相互に等距離になっている。この配置は前記第1の実施形態の半導体集積回路システムも同様である。マスターチップ1とバス選択装置3aとは、コマンド及びデータを各々伝送する複数のビット幅(nビット)を有する2本のバス、即ち、コマンドバスCB及びデータバスDBにより各々接続される。複数のスレーブチップ2a～2cとバス選択装置3aもまた、各々、コマンド及びデータを各々伝送するコマンドバスCBa～CBc及びデータバスDBa～DBcによって接続される。前記マスターチップ1とバス選択装置3aとを接続するコマンドバスCBは、複数のチップ1、2a～2c間の接続を示す接続情報が送られる接続情報バスとして兼用される。

図 8 に示されるように、バス選択装置 3 a の内部には、複数のビット幅を有する伝送線路から成るコマンドバス CB を経てマスターチップ 1 とコマンドの送受を行う入出力部 4 と、この入出力部 4 からコマンドを受け、そのコマンドが複数のスレーブチップ間の接続を行う接続情報を含むか否かを解析し、その解析結果によってそのコマンドの出力先を選択する出力先選択回路（出力先選択手段）1 2 と、この出力先選択回路 1 2 からコマンドを受け、複数のスレーブチップ 2 a ～ 2 c の接続情報を解析し、その解析結果（選択信号）を出力する判定回路（判定手段）1 3 と、マスターチップ 1 と複数のスレーブチップ 2 a ～ 2 c とを接続するコマンドバス CB、CB a ～ CB c の交点に配置されたコマンドバス選択回路 1 4 と、前記マスターチップ 1 と複数のスレーブチップ 2 a ～ 2 c とを接続するデータバス DB、DB a ～ DB c の交点に配置されたデータバス選択回路 1 5 とを備える。この両選択回路 1 4、1 5 は、前記判定回路 1 3 からの判定結果を受けて、マスターチップ 1 と複数のスレーブチップ 2 a ～ 2 c 間及びスレーブチップ 2 a ～ 2 c 同士のコマンドバス又はデータバスを切換え、選択する。

更に、前記バス選択装置 3 a の内部には、コマンド入出力用の入出力部（制御信号出力手段及び制御信号入力手段）6、8、1 0 と、データ入出力用の入出力部（データ入力手段及びデータ出力手段）5、7、9、1 1 とを備える。前記入出力部 6、8、1 0 は、選択回路 1 4 を経てマスターチップ 1 から送られてきたコマンドをコマンドバス CB a ～ CB c を介して複数のスレーブチップ 2 a ～ 2 c に出力する。また、前記入出力部 7、9、1 1 は、複数のスレーブチップ 2 a ～ 2 c からのデータ又はこれ等チップへのデータを、データバス DB a ～ DB c を介して選択回路 1 5 との間で送受する。更に、入出力部 5 は、選択回路 1 5 を経て複数のスレーブチップ 2 a ～ 2 c から送られてきたデータをデータバス DB を介してマスターチップ 1 に出力する。

図 8 に示す選択回路 1 4、1 5 は、各々、同図に示すように、マスターチップ 1 と複数のスレーブチップ 2 a ～ 2 c とを接続するコマンドバス CB、CB a ～ C

B c の交点、及びデータバス DB、DB a ~ DB c の交点に備えられる。これ等選択回路 1 4、1 5 の配置は種々変更可能である。例えば、コマンドバス CB、CB a ~ CB c の交点にコマンドバス選択回路を、データバス DB、DB a ~ DB c の交点にデータバス選択回路を各々配置すると共に、コマンドバス CB、CB b とデータバス DB a、DB c との交点にバス選択回路を、コマンドバス CB a、CB c とデータバス DB、DB b との交点にバス選択回路を各々配置しても良い。このような構成を採れば、例えば、データバス DB a を介してスレーブチップ 2 a から出力されたデータを、別のスレーブチップ 2 b のコマンドバス CB b を介してコマンドとして入力することができるので、複数のチップ間においてコマンドやデータの共有が可能となる。尚、半導体集積回路システムのマスターチップ 1 とスレーブチップ 2 との数的構成は、適宜選択すればよい。

図 8 に示す出力先選択回路 1 2 は、図 9 に示すように、図 8 の入出力部 4 から出力されたコマンドを受ける入力部 1 2 1 と、この入力されたコマンドが複数のスレーブチップ 2 a ~ 2 c の接続情報を含むか否かを解析する解析部 1 2 2 と、その解析結果に応じてそのコマンドを図 8 の判定回路 1 3、又は選択回路 1 4 の何れに出力するかを選択する選択部 1 2 3 と、図 8 の判定回路 1 3 及び選択回路 1 4 の各々にコマンドを出力する出力部 1 2 4、1 2 5 を備えている。

図 8 に示す判定回路 1 3 は、図 10 に示すように、図 8 の選択回路 1 2 から出力されたコマンドを受ける入力部 1 3 1 と、この入力部 1 3 1 で受けたコマンドを解析し、複数の選択回路 1 4、1 5 の少くとも一方を選択する選択信号を生成する判定部 1 3 2 と、この判定部 1 3 2 からの選択信号の状態を次の選択信号が入力されるまで保持する 2 個のラッチ回路 1 3 3 a、1 3 3 b より成るラッチ部 1 3 3 と、このラッチ部 1 3 3 のラッチ回路 1 3 3 a、1 3 3 b からの選択信号を図 8 に示す選択回路 1 4、1 5 に各々出力する出力部 1 3 4 a、1 3 4 b とを備える。

前記判定部 1 3 2 とラッチ部 1 3 3 とは、制御線 1 3 5 a、1 3 5 b によって

接続される。この制御線 135 a、135 b は、図 8 に示す選択回路 14、15 へ出力する選択信号を伝送する伝送線路以外に、ラッチ回路 133 a、133 b を制御する制御コマンドを伝送するための制御線である。前記ラッチ回路 133 a、133 b は、前記判定部 132 からの制御コマンドによって制御され、例えば、制御線 135 a に”0”（Lレベル）、制御線 135 b に”1”（Hレベル）の制御コマンドが入力されると、ラッチ回路 133 a は判定部 132 から送られてくる選択信号を受け入れずに前の状態を保持し、ラッチ回路 133 b は選択信号を受け入れて、選択回路 15 に対して入力された選択信号を出力する。この制御コマンドが両方共に”1”の場合には、選択回路 14、15 に各々入力された選択信号を出力する。この制御コマンドによって選択信号の出力先の選択やタイミング調整を行うことが可能である。

図 8 に示す選択回路 14、15 は、各々、マスターチップ 1 及び複数のスレーブチップ 2 a～2 c からのコマンドバス CB、CB a～CB c 及びデータバス DB、DB a～DB c の各交点に各々備えられ、その内部構成は、各々、図 11

(a)、(b) に示すように、マスターチップ 1 及び複数のスレーブチップ 2 a～2 c 間の接続を行うコマンドバス CB、CB a～CB c 及びデータバス DB、DB a～DB c に各々バス接続スイッチ SWa～SWf が備えられ、これ等スイッチ SWa～SWf を前記判定部 132 からの選択信号により切り換える構成である。

半導体集積回路システム 110 の動作を説明する前に、本システムの動作に関わるコマンドパケットの構成を先に説明する。

図 12 は、本実施形態で使用するコマンドパケットの概略図であり、図 13 は図 12 に示す各コマンドの入力に対する判定回路 13 の判定結果を示す。ここでは、コマンドやデータの伝達を行うコマンドバス CB、CB a～CB c 及びデータバス DB、DB a～DB c のバス幅が 7 ビット存在する場合を想定している。これ等バスのバス幅は適宜変更可能である。

図1.2に示すコマンドバケットにおいて、バス選択制御コマンドClxxは、第1ビットが送信先が選択回路14か判定回路13かを示す送信先情報であり、第2及び第3ビットが2個の選択回路14、15の何れを制御するかの情報であり、第4及び第5ビットが選択回路14に対する制御情報であり、第6及び第7ビットが選択回路15に対する制御情報である。また、スレーブ制御コマンドCxxは、第1ビットが前記送信先情報であり、第2ビットがデータの読み出しか書き込みかの動作情報であり、第3ないし第7ビットが読み出し又は書き込むデータのアドレス情報である。更に、データDxxは、第1ビットが前記送信先情報、第2ビットがデータの読み出しか書き込みかの動作情報、第3ないし第7ビットが書き込むデータである。これ等各ビットの値と判定回路13での判定結果を図13に示す。

図8に示す出力先選択回路12は、前記制御コマンドClxx及びデータDxxの各1ビット目(A)を検出して、このコマンドが複数のスレーブチップの接続情報を含む(A=0)か否か(A=1)を解析し、前記接続情報を含む場合には判定回路13を、含まない場合には選択回路14を各々選択して、第2ビット以降のコマンド又はデータをその選択された回路の利用に供する。この選択において、初期設定状態はA=1とする。このため、A=0とならない限り、コマンドはこの出力先選択回路12を無視する形で選択回路14へ出力される。このような初期設定状態を設ければ、連続したコマンドを選択回路14に送りたい場合、その都度判定回路13での解析を受けなくてよいので、円滑なコマンド転送が可能となる。以下、図12及び図13を参照しながら、各コマンドの解析を説明する。

(1) A=0の場合

図8において、コマンドは出力先選択回路12から判定回路13へ出力される。判定回路13では、このコマンドの第2及び第3ビット目(B、C)の組み合わせが判定部132で解析、判定されて、この判定部132が、ラッチ回路133a、133bへの制御コマンドを生成し且つ制御して、判定回路13から出力さ

れる判定信号を選択回路 14 及び選択回路 15 の何れ又は双方に送信するかを制御する。

コマンドの第 4 及び第 5 ビット目 (D、E)、並びに第 6 及び第 7 ビット目 (F、G) は、判定回路 13 の判定部 132 で解析、判定され、選択回路 14 及び選択回路 15 の少くとも一方を切換制御する信号が生成される。

(2) A = 1 の場合

コマンドの第 2 ～第 7 ビット目までは、選択されたスレーブチップへのコマンドとなる。尚、これ等コマンドビットの振り分けや組み合わせ、バス幅は必要に応じて変更できる。

次に、半導体集積回路システム 110 の動作を詳しく説明する。

図 16 は、図 8 に示す半導体集積回路システム 110 の動作の一例として、マスターチップ (CPU) 1 からコマンドバス CB を介して複数のスレーブチップ (DRAM) 2a、2b、2c へコマンドを送信し、各々のスレーブチップ 2a、2b、2c でコマンドを実行し、実行されたデータをデータバス DB を介してマスターチップ 1 へ出力するという読み出し動作のタイミングを模式的に示している。

同図中の CLK 1 はクロックを、コマンドバス CB 及びデータバス DB は各々図 8 のコマンドバス CB 及びデータバス DB 上の信号の状態、SWa ～SWf は図 11 の選択スイッチの接続状態を表している。ここでは H レベルをオン、L レベルをオフとする。

先ず、初めに、タイミング T1 において、コマンドの送信先を図 8 に示す判定回路 13 側にするために、制御コマンド JC をマスターチップ 1 から出力する。この制御コマンド JC は、例えば全てのビットを "0" とする。この制御コマンド JC は第 1 ビットが "0" であるので、図 13 に示す判定結果より、コマンドの送信先を判定回路 13 側に選択する。

次に、タイミングT2において、複数のスレーブチップの接続情報を含むコマンドCI1をマスターチップ1から送信し、判定回路13において解析、判定する。判定回路13での判定結果は、コマンドの第2及び第3ビットの値が共に"1"であるので、選択回路14、15を共に制御し、次の第4及び第5ビットの値が"0"、"1"であり、第6及び第7ビットの値が"1"、"0"であるので、選択回路14のスイッチSWaをオン、選択回路15のスイッチSWeをオンする選択信号を生成し出力する。そして、この出力された選択信号により、選択回路14のスイッチSWaがオンし、スレーブチップ2aとのコマンドバスCBの接続が確立される。

そして、タイミングT3～T5において、スレーブチップ2aへ目的のコマンドCa1～Ca3を送信する。このコマンドCa1は、第1（最上位）ビットが"1"である。従って、このコマンドは、コマンドバスCBから出力先選択回路12をそのまま通過して選択回路14へ出力され、判定回路13での処理は行われない。これは、出力先選択回路12では初期設定状態がA=1となっているためである。このような動作により、コマンド伝送の高効率化を図ることができる。

次に、別のスレーブチップ2cへコマンドを送信する要求がマスターチップ1から発生すると、出力先選択回路12の接続状況を変更するために、タイミングT6において、再びコマンドJCがコマンドバスCBを介して出力先選択回路12に送信され、コマンドの送信先を判定回路13側に切り換える。そして、次のタイミングT7において、複数チップ間の接続情報を含むコマンドCI2を送信して、選択回路14のスイッチSWcをオンし、それまでオンしていたスイッチSWaをオフし、コマンドバスCBの接続状況を切り換える。

そして、次にタイミングT8～T10において、コマンドCc1～Cc3をスレーブチップ2cへ送信する。また同時に、タイミングT7において、選択回路15のスイッチSWdをオン、スイッチSWeをオフし、選択回路15の接続状況を切り換え、スレーブチップ2cへコマンドを送信する。

をマスターチップ 1 に取り込む。

以上のような動作を順次繰り返すことにより、複数のスレーブチップとのコマンド及びデータの伝送が可能となる。また、コマンドを送信したい時やデータを取り込みたい時には、任意に制御コマンド J C 及び、接続情報を含むコマンドを送信することにより、バスの接続状況を切り換え、複数のスレーブチップ 2 a ~ 2 c とのコマンド及びデータの伝送を任意に制御することが可能である。

(第 3 の実施形態)

図 1 4 は、本発明の第 3 の実施形態の半導体集積回路システム 1 1 1 を示すブロック図を示す。

本実施形態の特徴は、マスターチップ 1 とバス選択装置 3 b とが、複数のチップ間接続情報を含むコマンドを伝送する専用の接続情報バスとしてのコントロールバス E B によって接続されている点である。

図 1 4 において、マスターチップ 1 とバス選択装置 3 b とは、コマンド及びデータを各々伝送する複数のビット幅を有するコマンドバス C B 及びデータバス D B により各々接続され、且つ、複数のチップ間接続情報を含むコマンドを伝送する複数のビット幅を有するコントロールバス E B によって接続される。複数のスレーブチップ 2 a ~ 2 c とバス選択装置 3 b も同様に、コマンド及びデータを各々伝送するコマンドバス C B a ~ C B c 及びデータバス D B a ~ D B c により各々接続される。

図 1 4 に示されるように、バス選択装置 3 b の内部には、複数のビット幅を有する伝送線路から成るコマンドバス C B に従ってコマンドの送受を行う入出力部 4 と、複数のビット幅を有する伝送線路から成るコントロールバス E B に従ってコマンドの送受を行う入出力部 1 8 と、この入出力部 1 8 からコマンドを受け、複数のチップ間接続情報を解析、判定し、その判定結果を出力する判定回路（判定手段）1 3 2 と、マスターチップ 1 と複数のスレーブチップ 2 a ~ 2 c とを接

続するコマンドバスCB、CBa～CBcの交点に配置されたコマンドバス選択回路142と、マスターチップ1と複数のスレーブチップ2a～2cとを接続するデータバスDB、DBa～DBcの交点に配置されたデータバス選択回路152とを備える。これ等選択回路142、152は、前記判定回路132からの判定結果を受け、この判定結果に基づいて各々前記コマンドバス又はデータバスの接続を切換え選択して、マスターチップ1と複数のスレーブチップ2との間、及びスレーブチップ2同士を接続する。

前記バス選択装置3bは、更に、コマンドバスCBを経てマスターチップ1との間でスレーブチップを制御するコマンド（制御コマンド）の送受を行う入出力部（制御コマンド入力手段）4と、コントロールバスEBを経てマスターチップ1との間で複数のチップ1、2a～2c間の接続情報を含むコマンド（以下、接続コマンドという）の送受を行う入出力部18と、選択回路142を通してマスターチップ1から送られる制御コマンドを複数のスレーブチップ2a～2cに出力する入出力部（制御コマンド出力手段）6、8、10と、複数のスレーブチップ2a～2cからのデータをデータバスDBa～DBcを介して選択回路152との間で送受する入出力部（データ入力手段及びデータ出力手段）7、9、11と、選択回路152を経て複数のスレーブチップ2a～2cから送られてきたデータをデータバスDBを介してマスターチップ1に出力する入出力部（データ出力手段）5とを備えている。

前記選択回路142、152は、各々、図14に示すように、マスターチップ1と複数のスレーブチップ2a～2cを接続するコマンドバスCB、CBa～CBcの交点、及びデータバスDB、DBa～DBcの交点に各々備えられる。尚、選択回路の配置は本実施形態に限定されず、例えば、コマンドバスの交点、データバスの交点の他、コマンドバスとデータバスとの各交点にも選択回路を配置することも可能である。このような構成を採れば、前記第2の実施形態で記述したように、複数のチップ間におけるコマンドやデータの共有が可能になる。

図 1 4 の判定回路 1 3 2、選択回路 1 4 2、1 5 2 の構成は、前記第 2 の実施形態で示した判定回路 1 3、選択回路 1 4、1 5 の構成と同一である。

半導体集積回路システム 1 1 1 の動作を説明する前に、本システムの動作に関わるコマンドパケットの構成を先に説明する。

図 1 5 は、本実施形態で使用する複数のチップ間接続情報を含むコマンドパケットの概略図を示す。ここでは、複数のチップ間接続情報を含むコマンドの伝達を行うコントロールバス EB のバス幅が 6 ビット存在する場合を想定している。コマンドバス CB、CB a ~ CB c 及びデータバス DB、DB a ~ DB c のバス幅は n ビット (n は任意の値) である。

図 1 5 において、コマンドパケットの構成を説明する。このコマンドの第 1、第 2 ビット (A、B) の組み合わせが判定部 1 3 2 で判定され、この判定部 1 3 2 が制御コマンドを生成し、ラッチ回路 1 3 3 a、1 3 3 b を制御して、判定回路 1 3 から出力される判定信号の送信先が選択回路 1 4 2 か選択回路 1 5 2 かが選択される。コマンドの第 3 及び第 4 ビット (C、D)、並びに第 5 及び第 6 ビット (E、F) は判定部 1 3 2 において解析、判定されて、選択回路 1 4 2 及び選択回路 1 5 2 の少くとも一方を選択する選択信号が生成される。尚、第 1 ないし第 6 ビットの各値の組み合わせとその内容は第 2 の実施形態の図 1 3 と同様であるので、その説明を省略する。また、これ等コマンドでのビットの振り分けや組み合わせ又はバス幅は必要に応じて変更できる。

次に、半導体集積回路システム 1 1 1 の動作を詳しく説明する。

図 1 7 は、図 1 4 に示す半導体集積回路システム 1 1 1 の動作の一例として、マスターチップ (CPU) 1 からコマンドバス CB を介して複数のスレーブチップ (DRAM) 2 a、2 b、2 c へコマンドを送信し、各々のスレーブチップ 2 a、2 b、2 c でコマンドを実行し、実行されたデータをデータバス DC を介してマ

スターチップ1へ出力するという読み出し動作のタイミングを模式的に示す。また、マスターチップ1からは、バス選択装置3bに対してコントロールバスEBを介して複数のチップ間接続情報を含むコマンドが送信されている。

同図中、CLK1はクロックを、コマンドバスCB、データバスDB、コントロールバスEBは各々コマンドバスCB、データバスDB、コントロールバスEB上の信号の状態を、SWa~SWfは図11の選択スイッチの接続状態を各々表している。

先ず、初めに、タイミングT1~T4における動作について、ここでは、既にマスターチップ1とスレーブチップ2aとの間のコマンドバスCB、CBaが判定回路132の選択信号により接続されているものとする。そして、この状態で、コマンドバスCB上には、マスターチップ1からスレーブチップ2aへ送信されるコマンドC1~C4が存在し、このコマンドC1~C4は、接続されたコマンドバスCB、CBaを介してスレーブチップ2aへ送信される。

次に、マスターチップ1においてスレーブチップ2bへのコマンド送信要求が発生すると、スレーブチップ2bへのコマンドバスCBb、スレーブチップ2aへのデータバスDBaの各接続を確立するために、タイミングT4、T5のタイミングで、マスターチップ1よりコントロールバスEBを介して判定回路132へ複数のチップ間接続情報を含むコマンドIb1、Id1（図15参照）が送信される。このコマンドIb1、Id1は、各々、判定回路132で解析され、選択信号は選択回路14、15に出力される。そして、タイミングT5において、図11(a)におけるスイッチSWaをオフ、スイッチSWbをオンして、マスターチップ1とスレーブチップ2bとのコマンドバスCB、CBbの接続を確立する。また、タイミングT6において、図11(b)のスイッチSWfをオフ、スイッチSWdをオンして、マスターチップ1とスレーブチップ2aとのデータバスDB、DBaの接続を確立する。

そして、タイミングT6~T9において、図14におけるマスターチップ1か

らスレーブチップ2 bへコマンドバスCBを介してコマンドC 5～C 8を送信する。また、タイミングT 7～T 1 0において、スレーブチップ2 aからマスターチップ1へデータバスDBを介してデータD 1～D 4を取り込む。

以上のような動作を順次繰り返すことにより、バス接続状況を切り換え、複数のスレーブチップとの間のコマンド及びデータの伝送が可能になる。また、コマンドを送信したい時やデータを取り込みたい時に、任意に接続情報を含むコマンドを送信することにより、複数のスレーブチップ2 a～2 cとの間のコマンド及びデータの伝送を任意に制御することができる。

図1 9は、図1 4に示す半導体集積回路システム1 1 1の動作の一例として、スレーブチップ2 aからデータをデータバスDCを介してマスターチップ1へ出力している間に、マスターチップ(CPU)1からコマンドバスCBを介して複数のスレーブチップ(DRAM)2 a、2 b、2 cへコマンドを送信する動作のタイミングを模式的に示している。また、マスターチップ1からは、バス選択装置3 bに対してコントロールバスEBを介して複数のチップ間接続情報を含むコマンドが送信されている。

先ず、初めに、タイミングT 1～T 4における動作について、ここでは、既にマスターチップ1とスレーブチップ2 aとの間のコマンドバスCB、CB aが判定回路1 3 2からの選択信号によって接続されているものとする。そして、この状態において、コマンドバスCB上には、マスターチップ1からスレーブチップ2 aへ送信されるコマンドC 1～C 4が存在し、このコマンドC 1～C 4は、スレーブチップ2 aへ送信される。

タイミングT 4では、コントロールバスEBを介して図1 1 (a)のスイッチSWaをオフにするコマンドI a 1がマスターチップ1から出力される。次に、タイミングT 5のタイミングで、データバスDB aとデータバスDBとを接続させるために、コマンドI d 1がマスターチップ1からコントロールバスEBを介して出力される。この接続が確立された後、スレーブチップ2 aから出力されたデ

ータD1～D14がデータバスDBを介してマスターチップ1へ送信される。この間、図11(b)の選択スイッチSWdの状態は、ラッチ回路133bによって保持されている。その間、コントロールバスEBには、タイミングT6において、スイッチSWbをオンするコマンドIb1がマスターチップ1から出力されて、コマンドバスCBとコマンドバスCBbとの接続が確立される。

その後、タイミングT8、T9において、マスターチップ1から出力されるコマンドC5、C6をスレーブチップ2bへ出力する。そして、同じタイミングT9のタイミングで、コマンドバスCBとコマンドバスCBbとの接続を切るために、マスターチップ1からコントロールバスEBを介してコマンドIB2が出力される。

そして、次にタイミングT10のタイミングで、スレーブチップ2cへのコマンドバスCB、CBcの接続を確立するために、コマンドIc2をマスターチップ1からコントロールバスEBを介して出力する。そして、タイミングT12以降でコマンドC7～C15をスレーブチップ2cへ送信する。

以上の動作により、一方ではデータを連続的に出力しながら、他方では複数のスレーブチップに対しコマンドを送信することが可能となる。

尚、本実施形態では示していないが、図14の選択回路142、152を変更し、図18に示すように、スイッチSW1～SW14をコマンドバスCB、データバスDB上に設置し、各々のスイッチSW1～SW14を判定回路132からの選択信号により制御する構成を採れば、マスターチップ1とスレーブチップ2との接続だけでなく、スレーブチップ2同士の接続が可能となる。

例えば、図14におけるスレーブチップ2a、2b、2cが演算機能を有するチップである場合には、先ず、初めにマスターチップ1とスレーブチップ2cとのコマンドバスCB、CBcを接続するために、マスターチップ1よりコマンドバスCB、CBaを接続するためのコマンドをコントロールバスEBを介して判

定回路 132 に出力して、コマンドバス CB、CBc の接続を確立する。その後、マスターチップ 1 よりスレーブチップ 2c にコマンドバス CB、CBc を介してコマンドを送信して、このコマンドを実行させる。その実行後、スレーブチップ 2c で実行されたデータがデータバス DBc を介して出力される前に、データバス DBc とコマンドバス CBb とを接続させるためのコマンドをマスターチップ 1 から判定回路 132 に出力し、このコマンドを判定回路 132 で解析、判定し、判定回路 132 から出力される選択信号により、図 18 のスイッチ SW7、SW8 をオンすることにより、スレーブチップ 2c、2b のデータバス DBc、CBb の接続を確立すれば、スレーブチップ 2c からのデータをスレーブチップ 2b へ送信することが可能になる。スレーブチップ 2b はそのデータをコマンドとして受け取り、別の処理を行うことも可能である。このようなバス接続の切り換えを行うことにより、複数のチップ間でコマンドやデータの共用ができ、複数の処理を必要とするプログラムの実行等には有効である。

(第 4 の実施形態)

図 20 は本発明の第 4 の実施形態を示す。同図は、1 個のマスターチップ 1 と、7 個のスレーブチップ 2a～2g と、バス選択装置 3c とを備えた半導体集積回路システムを示す。同図では、既述の実施形態と同様に、バス選択装置 3c は、マスターチップ 1 とは別個独立に設けられると共に、前記 7 個のスレーブチップ 2a～2g 更にはマスターチップ 1 から、実質的に等距離の位置に配置される。従って、前記スレーブチップ 2a～2g とバス選択装置 3c とを各々接続するバス Ba～Bg、更にはマスターチップ 1 とバス選択装置 3c とを接続するバス B は相互にほぼ等長且つ短くなっている。

従って、本実施形態においても、各バス間に生じる信号の伝送遅延のバラツキは極めて小さいので、8 個のチップ 1、2a～2g 間のコマンド及びデータの送受は高速に行われる。

以上のように、本発明では、バス選択装置をマスターチップとは別個独立に設けたので、マスターチップのピン数を削減することができる。更に、バス選択装置の配置位置は自由に決定できて、このバス選択装置を複数のスレーブチップから実質的に等距離の位置に配置できるので、マスターチップから各スレーブチップへの各バス長を相互にほぼ等長に且つ短くでき、よって、複数のスレーブチップに大容量のデータを格納しながら、複数チップ間のデータ伝送を高速に行うことができる。

請求の範囲

1. 複数のチップを含み、前記複数のチップ間で信号の送受を行う半導体集積回路システムであって、
前記複数のチップと各々バスで接続されたバス選択装置を備え、
前記バス選択装置は、前記複数のチップ間の接続情報を入力し、この接続情報に応じて前記複数のバス間の接続を選択することを特徴とする半導体集積回路システム。
2. 請求項1の半導体集積回路システムにおいて、
前記バス選択装置は、
前記複数のバス間の接続を切換える切換手段と、
前記入力した複数のチップ間の接続情報を判定し、この判定結果に応じた切換信号を前記切換手段に出力する判定手段とを備えたことを特徴とする半導体集積回路システム。
3. 請求項1の半導体集積回路システムにおいて、
前記バス選択装置は、
信号送受のタイミング調整用として、前記各チップへ送る又は受ける信号を保持するラッチ手段を備えたことを特徴とする半導体集積回路システム。
4. 請求項1の半導体集積回路システムにおいて、
前記複数のチップは、少なくとも1個のマスターチップと、複数個のスレーブチップを含むことを特徴とする半導体集積回路システム。

5. 請求項4の半導体集積回路システムにおいて、

前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を出力し、

前記マスターチップと前記バス選択装置とは1本のバスで接続され、このバスには、前記複数のチップ間の接続情報が送られる

ことを特徴とする半導体集積回路システム。

6. 請求項4の半導体集積回路システムにおいて、

前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を出力し、

前記マスターチップと前記バス選択装置とは2本以上のバスで接続され、前記バスの何れかには、前記複数のチップ間の接続情報が送られる

ことを特徴とする半導体集積回路システム。

7. 請求項6の半導体集積回路システムにおいて、

前記2本以上のバスにはコマンドバスを含み、

前記コマンドバスは、前記複数のチップ間の接続情報が送られる接続情報バスとして兼用される

ことを特徴とする半導体集積回路システム。

8. 請求項6の半導体集積回路システムにおいて、

前記複数のチップ間の接続情報が送られるバスは、専用の接続情報バスである

ことを特徴とする半導体集積回路システム。

9. 請求項1の半導体集積回路システムにおいて、

前記複数のチップ間の接続情報はバケットで構成されることを特徴とする半導体集積回路システム。

10. 少なくとも1個のマスターチップと、複数のスレーブチップを含む半導体集積回路システムであって、

前記複数のチップと各々バスで接続され、前記複数のバス間の接続を選択するバス選択装置を備え、

前記バス選択装置は、前記複数のスレーブチップに対して各々実質的に等距離の位置に配置される

ことを特徴とする半導体集積回路システム。

11. 請求項10の半導体集積回路システムにおいて、

前記バス選択装置は、前記マスターチップ及び複数のスレーブチップに対して各々実質的に等距離の位置に配置される

ことを特徴とする半導体集積回路システム。

12. 請求項10の半導体集積回路システムにおいて、

前記スレーブチップはメモリである

ことを特徴とする半導体集積回路システム。

13.

複数のチップに各々バスで接続され、この複数のバス間の接続を選択するバス選択装置であって、

前記複数のバス間の接続を切換える切換手段と、

前記複数のチップ間接続の情報を入力し、判定して、この判定結果に応じた切換信号を前記切換手段に出力する判定手段とを備えた

ことを特徴とするバス選択装置。

14. 請求項13のバス選択装置において、

前記複数のチップの何れかから他のチップに対する制御信号を入力する制御信号入力手段と、

前記切換手段の切換えにより選択されたバスを通じて、前記複数のチップのうち少なくとも1個に前記制御信号を出力する制御信号出力手段とを備えた

ことを特徴とするバス選択装置。

15. 請求項13のバス選択装置において、

前記複数のチップの何れかからデータを入力するデータ入力手段と、

前記切換手段の切換えにより選択されたバスを通じて、前記複数のチップのうち少なくとも1個に前記データを出力するデータ出力手段とを備えた

ことを特徴とするバス選択装置。

16. 請求項15のバス選択装置において、

前記複数のバスに各々接続される内部バスを備え、

前記複数の内部バスには、各々、ラッチ手段が配置される

ことを特徴とするバス選択装置。

補正書の請求の範囲

[1999年8月6日(06.08.99)国際事務局受理:出願当初の請求の範囲3, 10, 11, 12, 15及び16は取り下げられた;出願当初の請求の範囲1及び13は補正された;他の請求の範囲は変更なし。(4頁)]

1. (補正後)複数のチップを含み、前記複数のチップ間で信号の送受を行う半導体集積回路システムであって、

前記複数のチップと各々バスで接続されたバス選択装置を備え、

前記バス選択装置は、前記複数のチップ間の接続情報を入力し、この接続情報に応じて前記複数のバス間の接続を選択すると共に、信号送受のタイミング調整用として、前記各チップへ送る又は受ける信号を保持するラッチ手段を備えたことを特徴とする半導体集積回路システム。

2. 請求項1の半導体集積回路システムにおいて、

前記バス選択装置は、

前記複数のバス間の接続を切換える切換手段と、

前記入力した複数のチップ間の接続情報を判定し、この判定結果に応じた切換信号を前記切換手段に出力する判定手段とを備えたことを特徴とする半導体集積回路システム。

3. (削除)

4. 請求項1の半導体集積回路システムにおいて、

前記複数のチップは、少なくとも1個のマスターチップと、複数のスレーブチップを含む

ことを特徴とする半導体集積回路システム。

5. 請求項4の半導体集積回路システムにおいて、

前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を

出力し、

前記マスターチップと前記バス選択装置とは1本のバスで接続され、このバスには、前記複数のチップ間の接続情報が送られる

ことを特徴とする半導体集積回路システム。

6. 請求項4の半導体集積回路システムにおいて、

前記マスターチップは、前記バス選択装置に前記複数のチップ間の接続情報を出力し、

前記マスターチップと前記バス選択装置とは2本以上のバスで接続され、前記バスの何れかには、前記複数のチップ間の接続情報が送られる

ことを特徴とする半導体集積回路システム。

7. 請求項6の半導体集積回路システムにおいて、

前記2本以上のバスにはコマンドバスを含み、

前記コマンドバスは、前記複数のチップ間の接続情報が送られる接続情報バスとして兼用される

ことを特徴とする半導体集積回路システム。

8. 請求項6の半導体集積回路システムにおいて、

前記複数のチップ間の接続情報が送られるバスは、専用の接続情報バスであることを特徴とする半導体集積回路システム。

9. 請求項1の半導体集積回路システムにおいて、

前記複数のチップ間の接続情報はパケットで構成される

ことを特徴とする半導体集積回路システム。

1 0. (削除)

1 1. (削除)

1 2. (削除)

1 3. (補正後) 複数のチップに各々バスで接続され、この複数のバス間の接続を選択するバス選択装置であって、

前記複数のバス間の接続を切替える切替手段と、

前記複数のチップ間接続の情報を入力し、判定して、この判定結果に応じた切替信号を前記切替手段に出力する判定手段と、

前記複数のチップの何れかからデータを入力するデータ入力手段と、

前記切替手段の切替えにより選択されたバスを通じて、前記複数のチップのうち少なくとも1個に前記データを出力するデータ出力手段と、

前記複数のバスに各々接続される内部バスと、

前記複数の内部バスに各々配置されるラッチ手段とを備えた

ことを特徴とするバス選択装置。

1 4. 請求項 1 3 のバス選択装置において、

前記複数のチップの何れかから他のチップに対する制御信号を入力する制御信号入力手段と、

前記切替手段の切替えにより選択されたバスを通じて、前記複数のチップのうち少なくとも1個に前記制御信号を出力する制御信号出力手段とを備えた

ことを特徴とするバス選択装置。

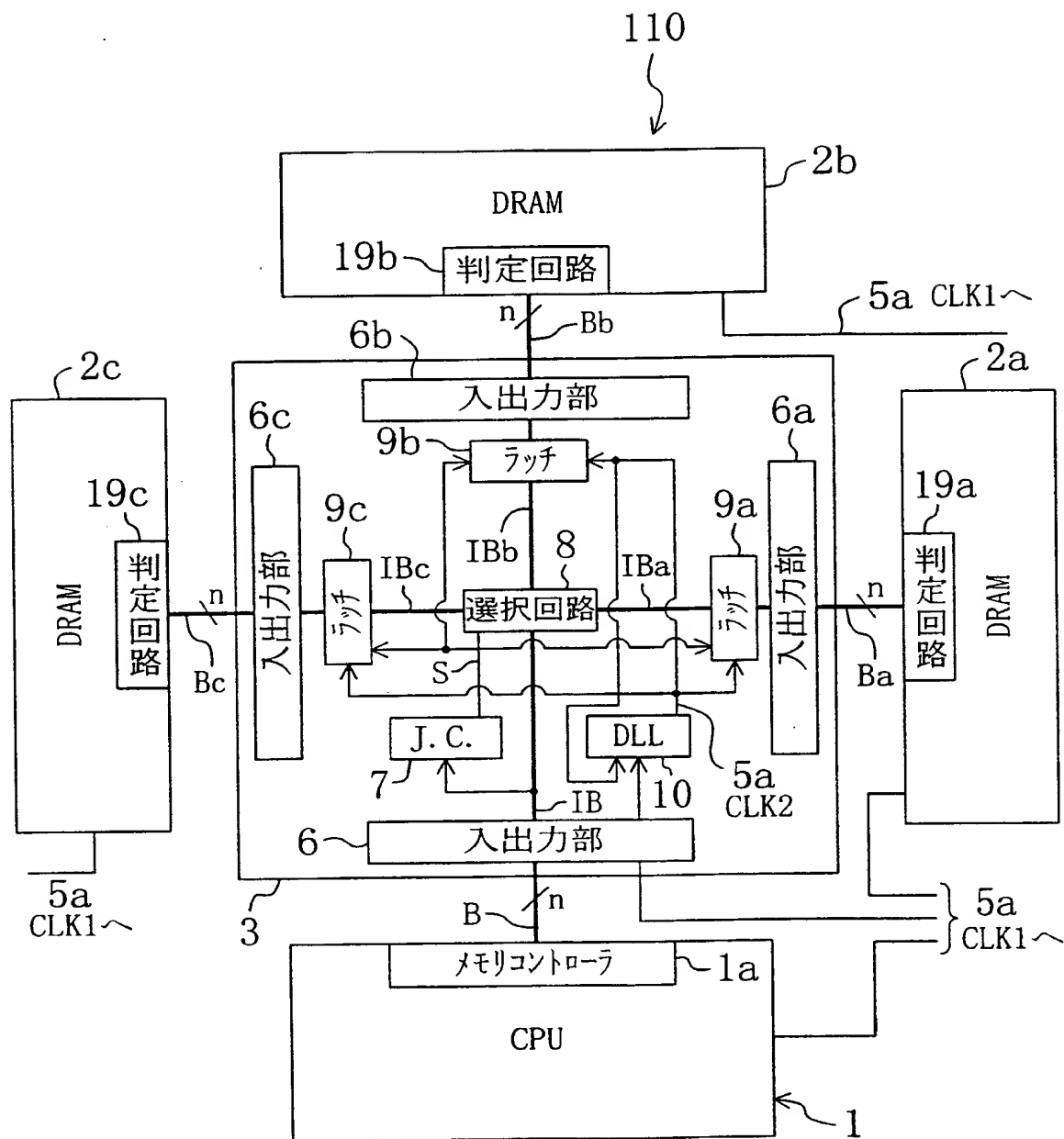
1 5. (削除)

16. (削除)

(削除)

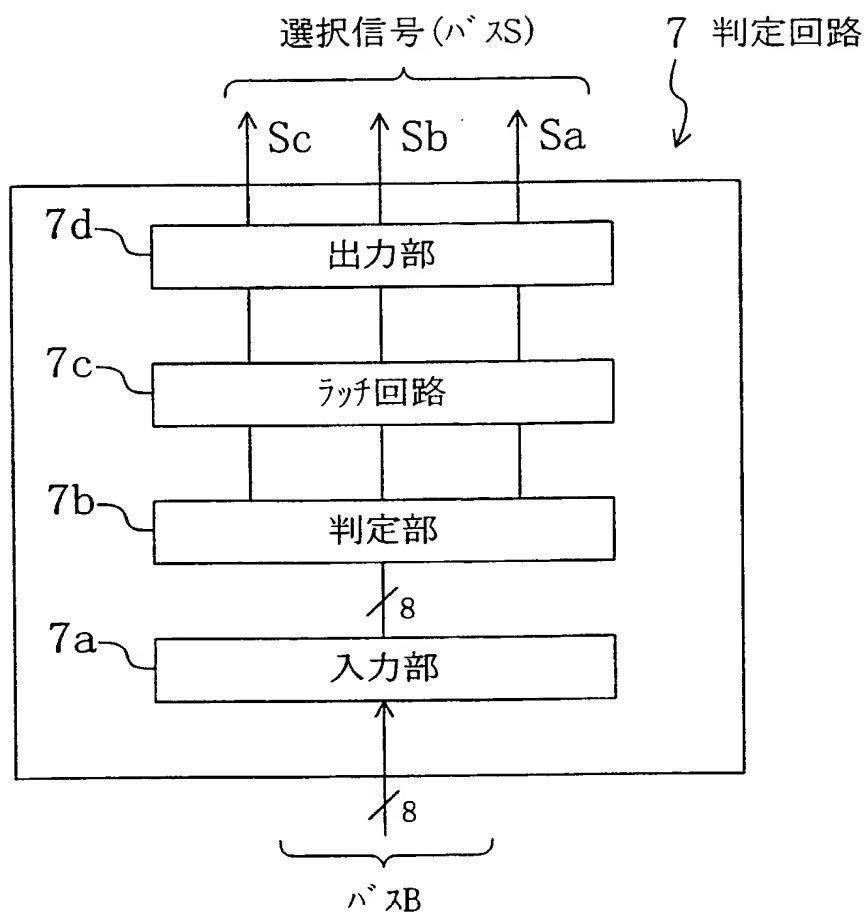
1/21

Fig. 1



2/21

Fig. 2



3/21

Fig. 3(a)

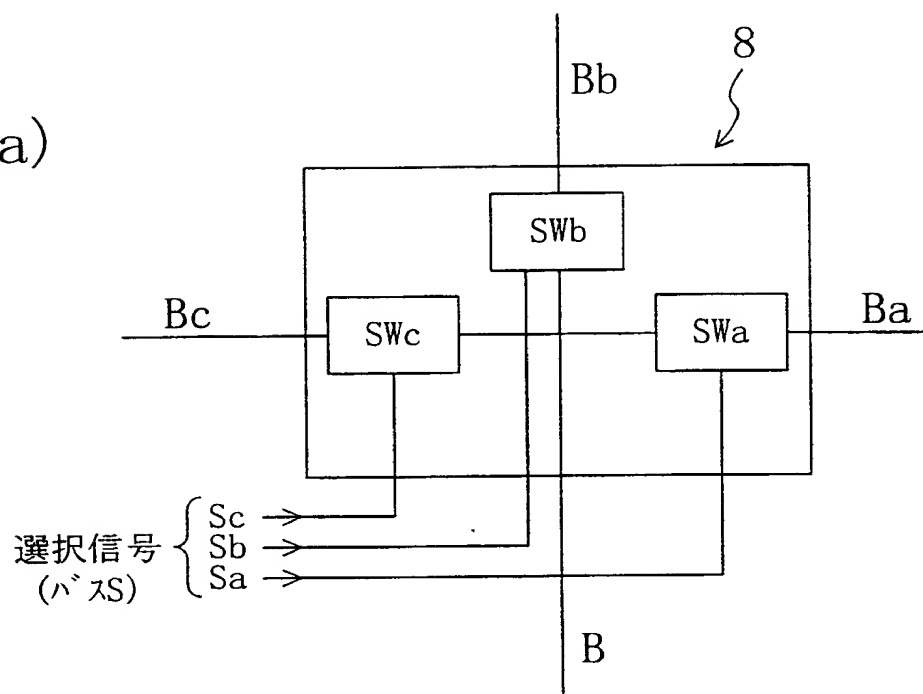


Fig. 3(b)

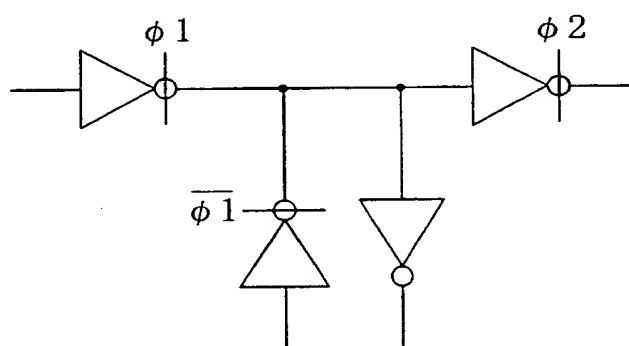
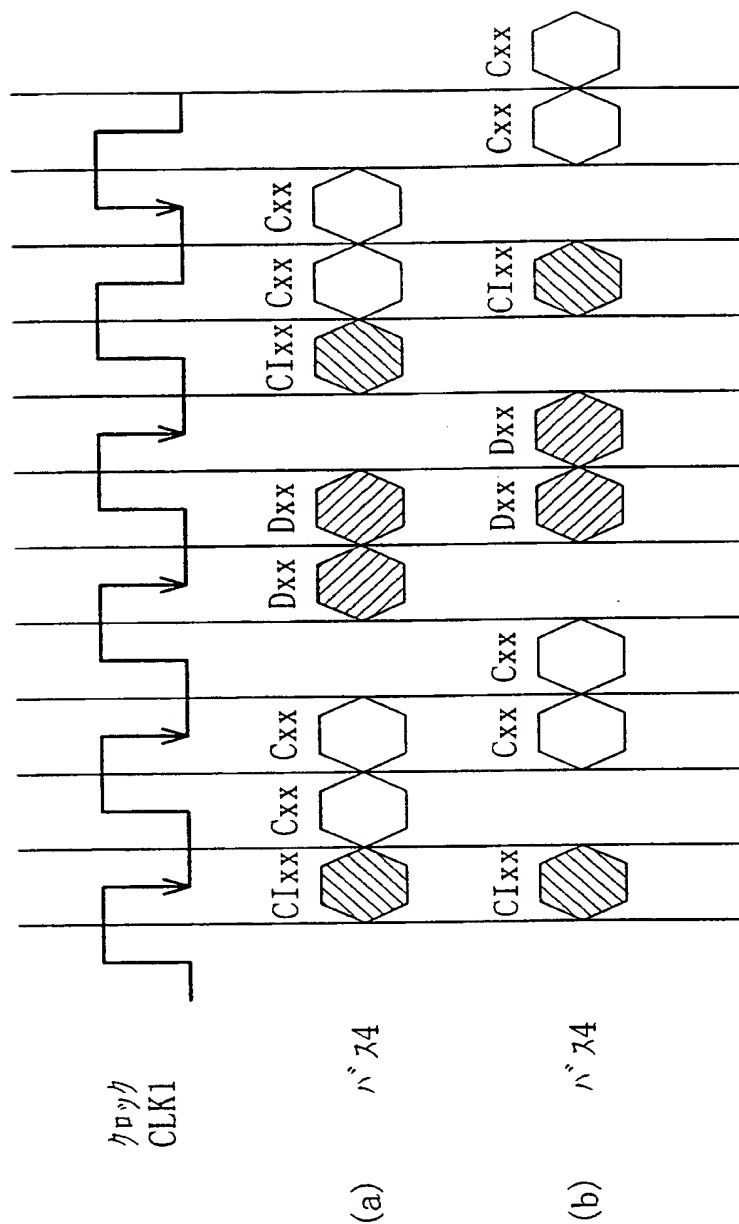


Fig. 3(c)

コマント信号 CI _{xx}		情報 (判定結果)
2ビット目 A	3ビット目 B	
0	0	非選択
0	1	スレーブ a
1	0	スレーブ b
1	1	スレーブ c

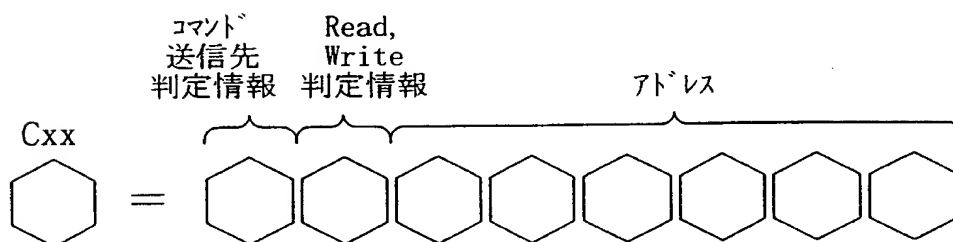
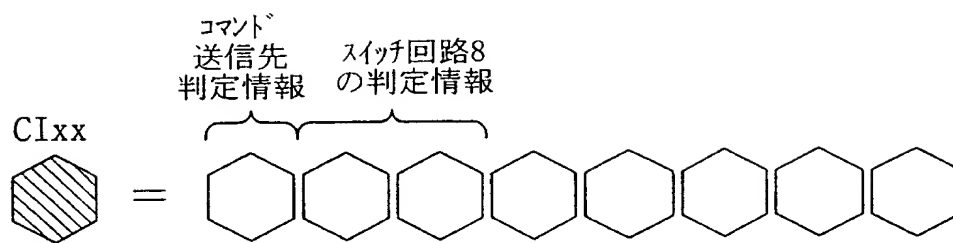
4/21

Fig. 4



5/21

Fig. 5



6/21

Fig. 6

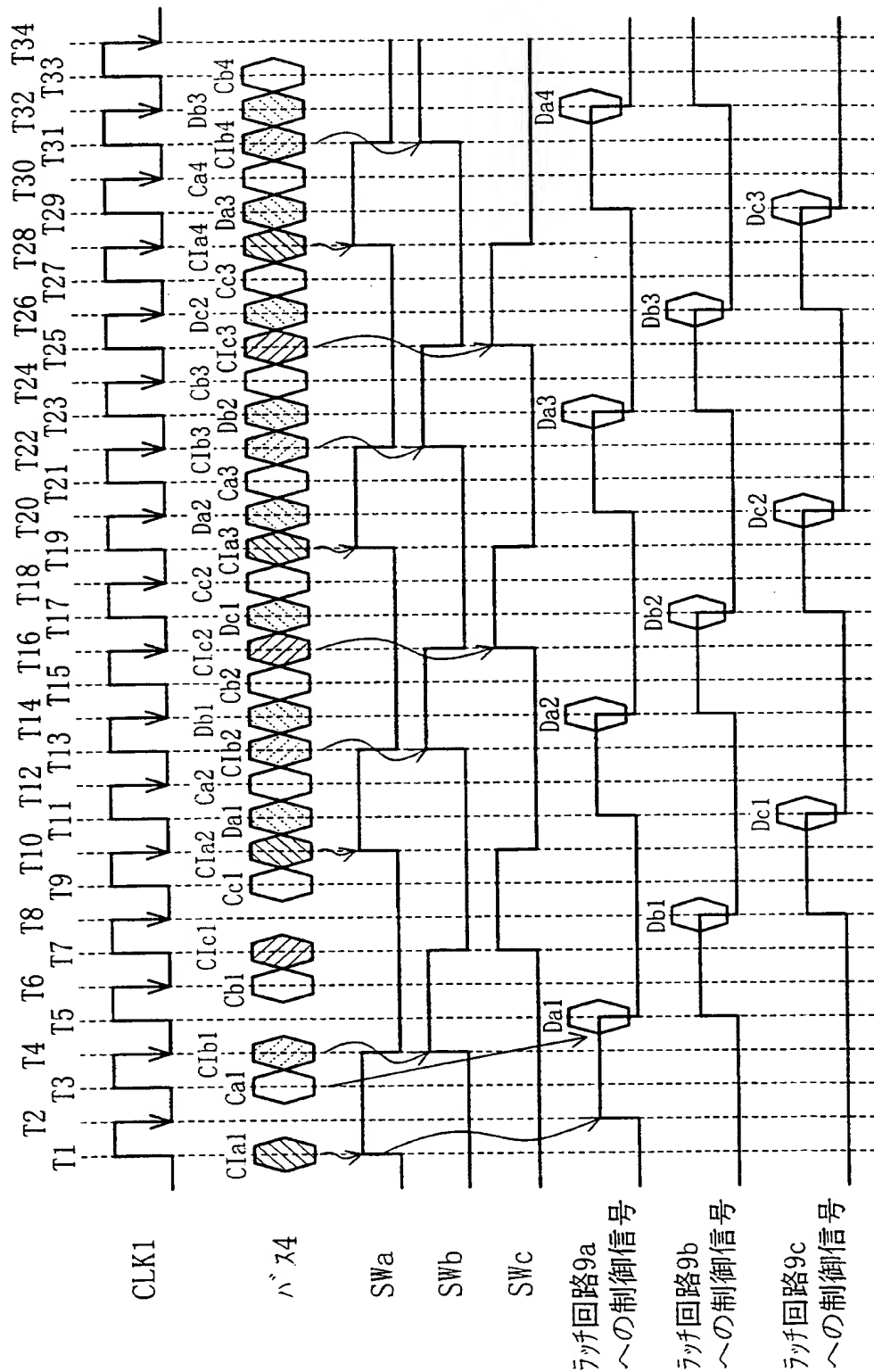
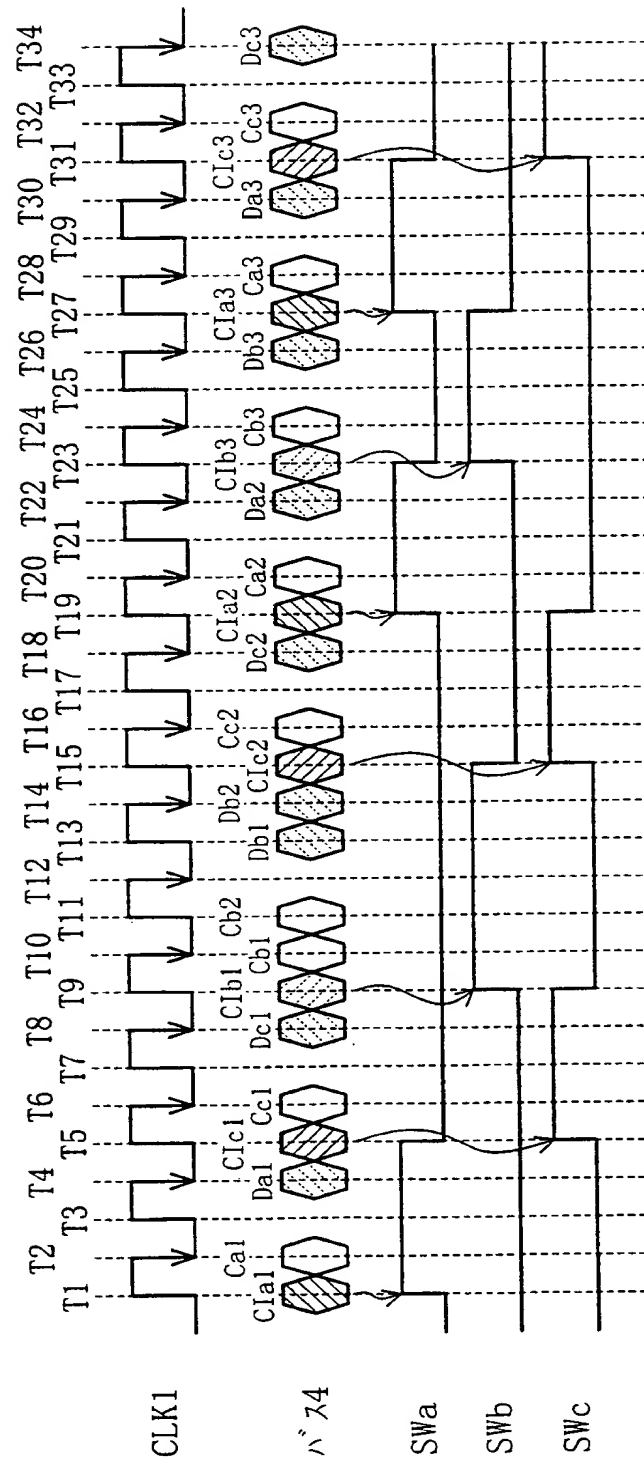
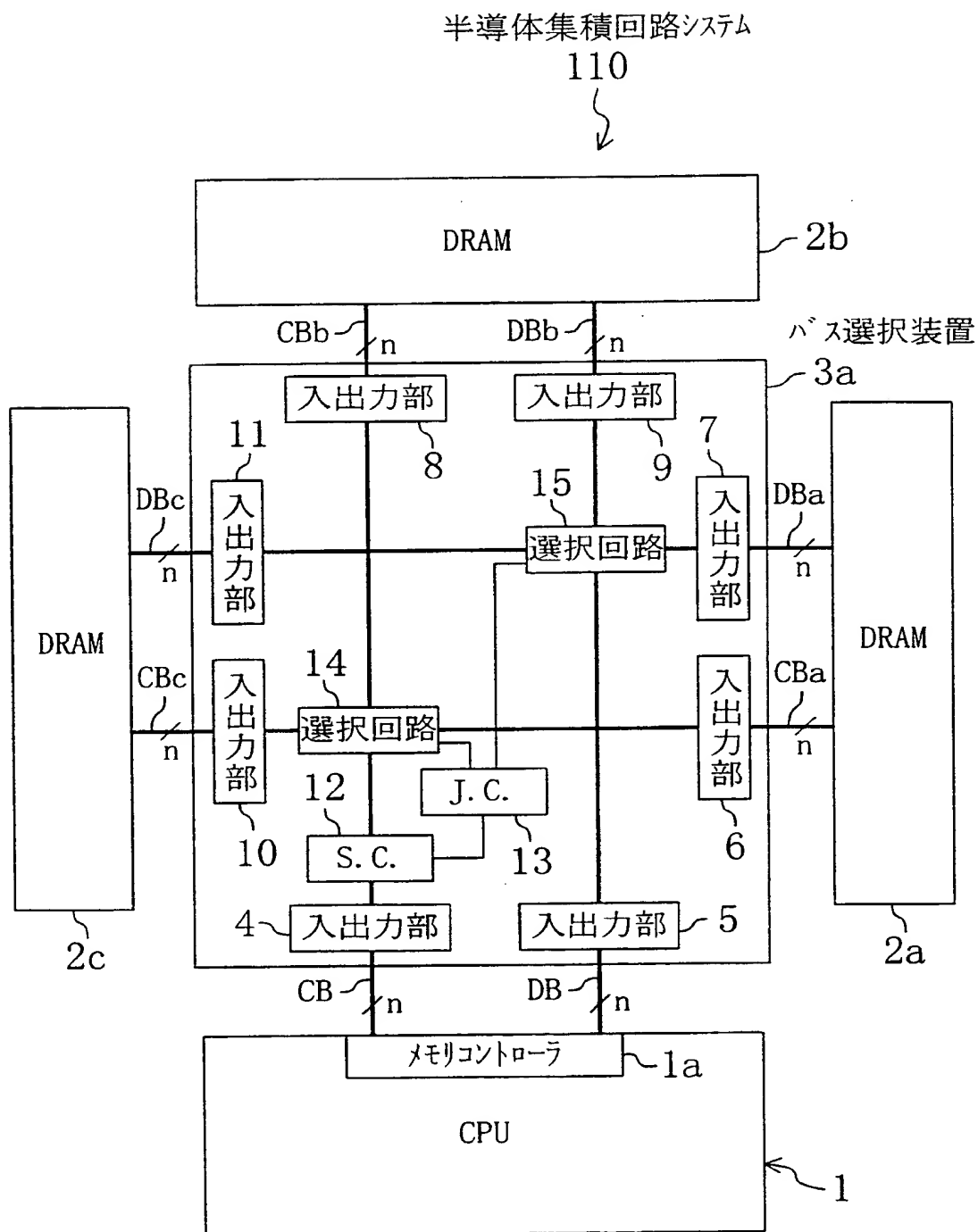


Fig. 7



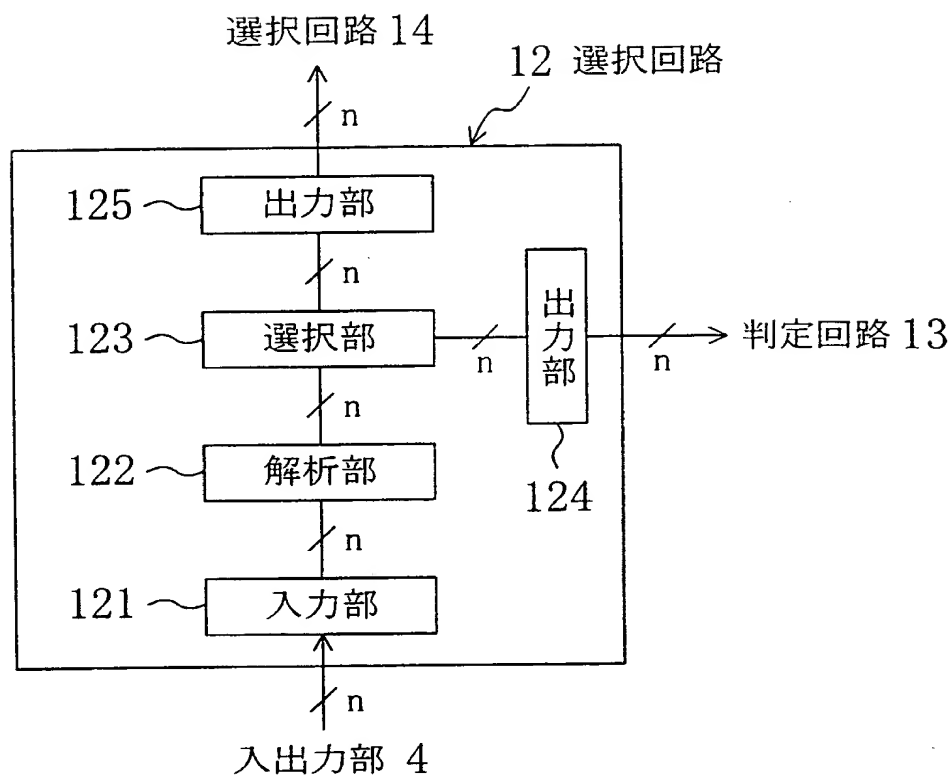
8/21

Fig. 8



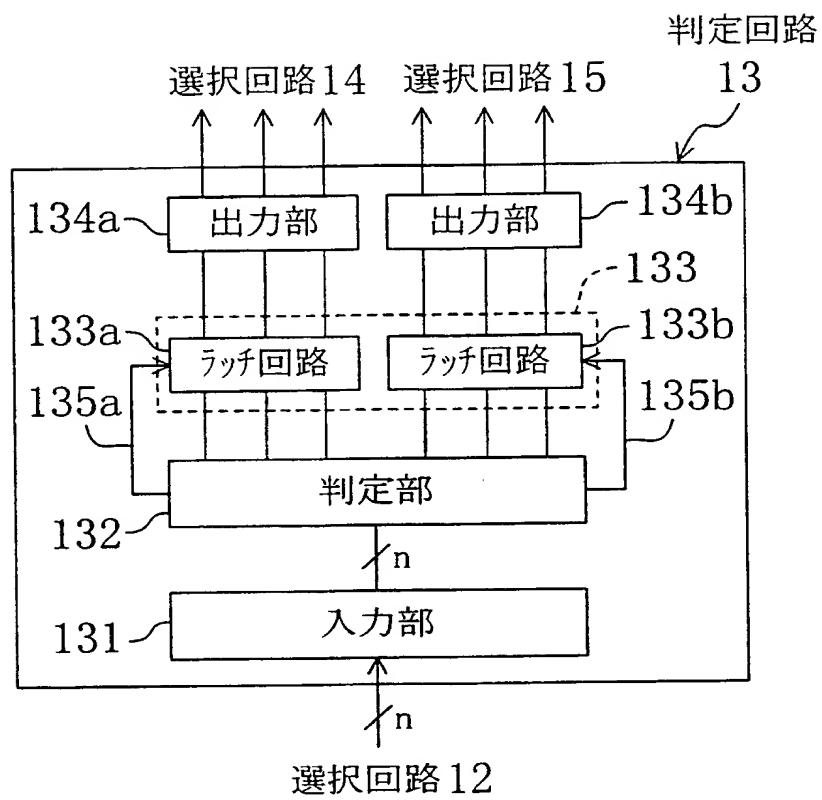
9/21

Fig. 9



10/21

Fig. 10



11/21

Fig. 11(a)

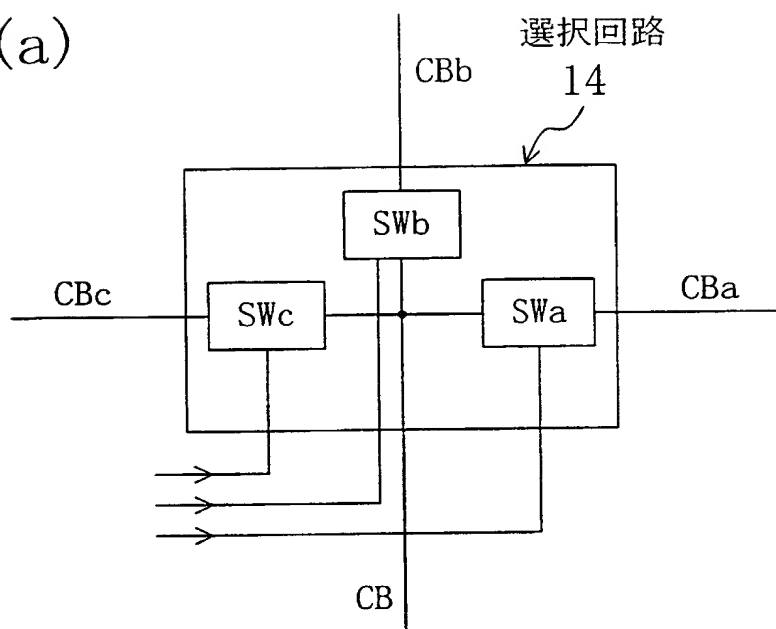
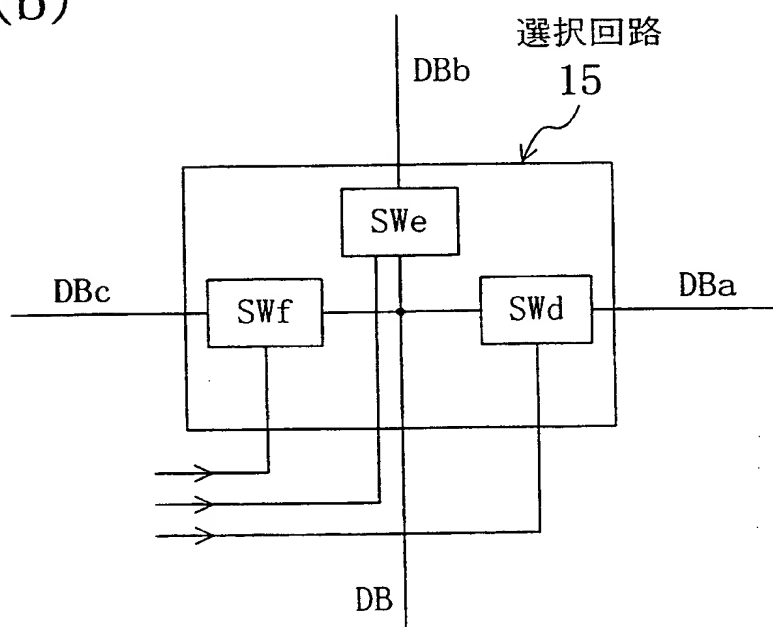
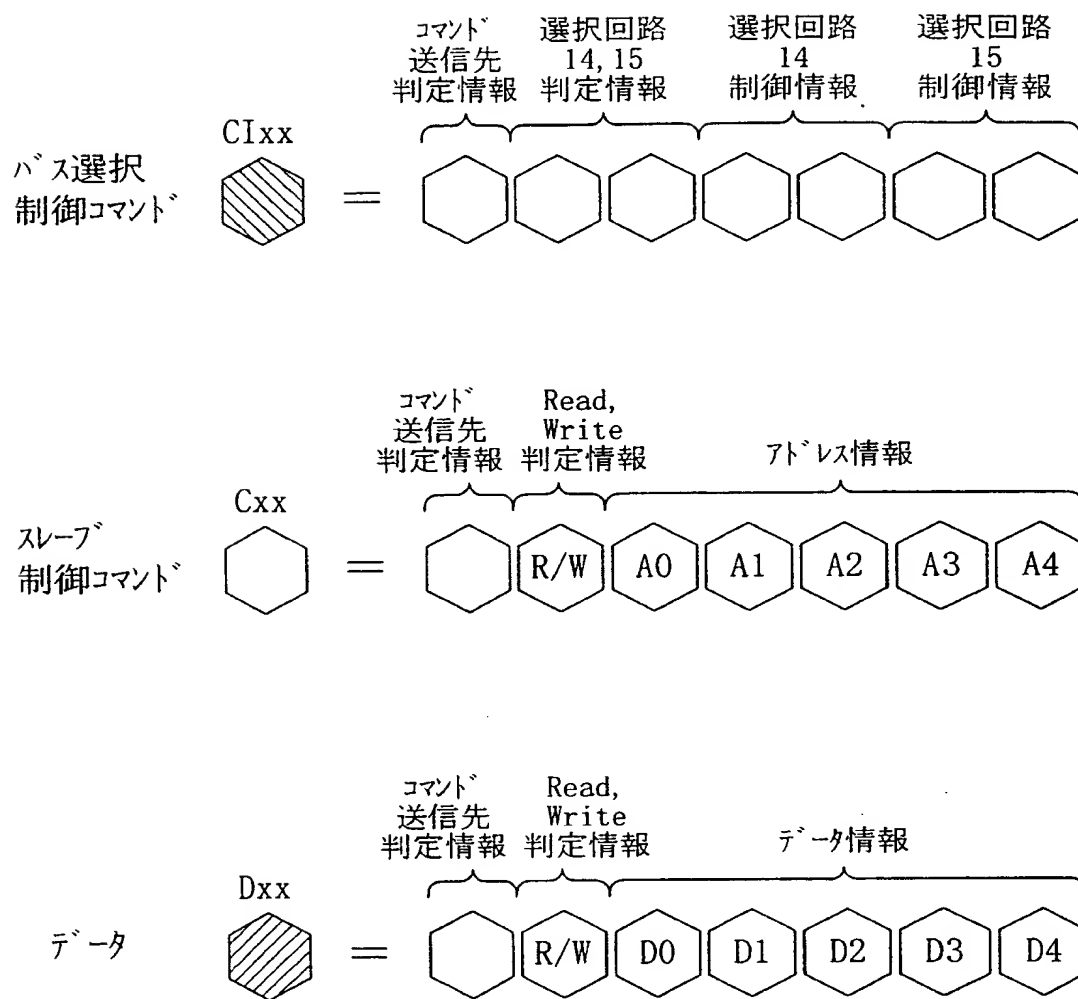


Fig. 11(b)



12/21

Fig. 12



13/21

Fig. 13

入力	判定
A	
0	J.C. (13)へ
1	選択回路14へ

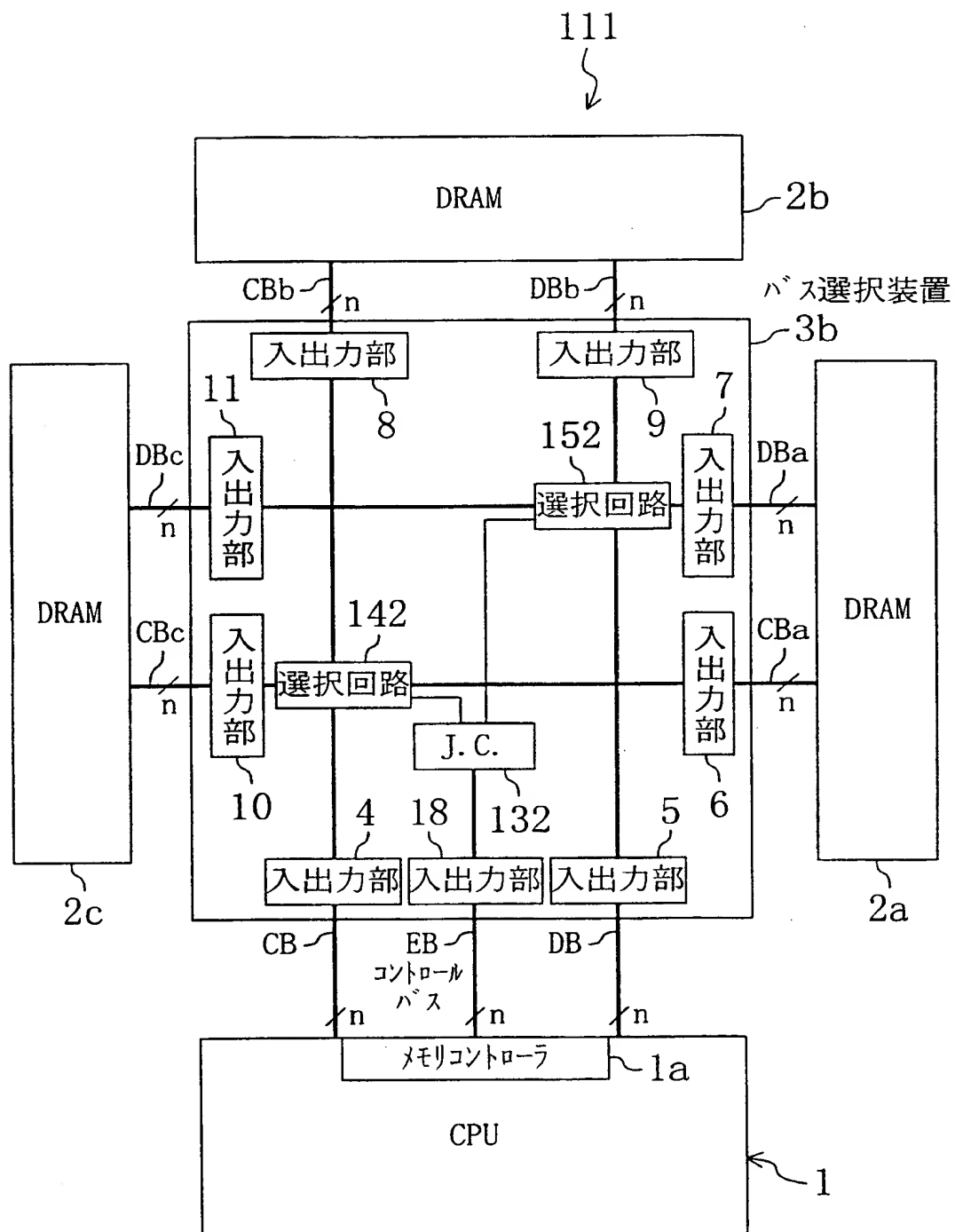
入力		判定
B	C	
0	0	-
0	1	選択回路14
1	0	選択回路15
1	1	14&15

入力		判定 選択回路14
D	E	
0	0	-
0	1	SWa
1	0	SWb
1	1	SWc

入力		判定 選択回路15
F	G	
0	0	-
0	1	SWd
1	0	SWe
1	1	SWf

14/21

Fig. 14



15/21

Fig. 15

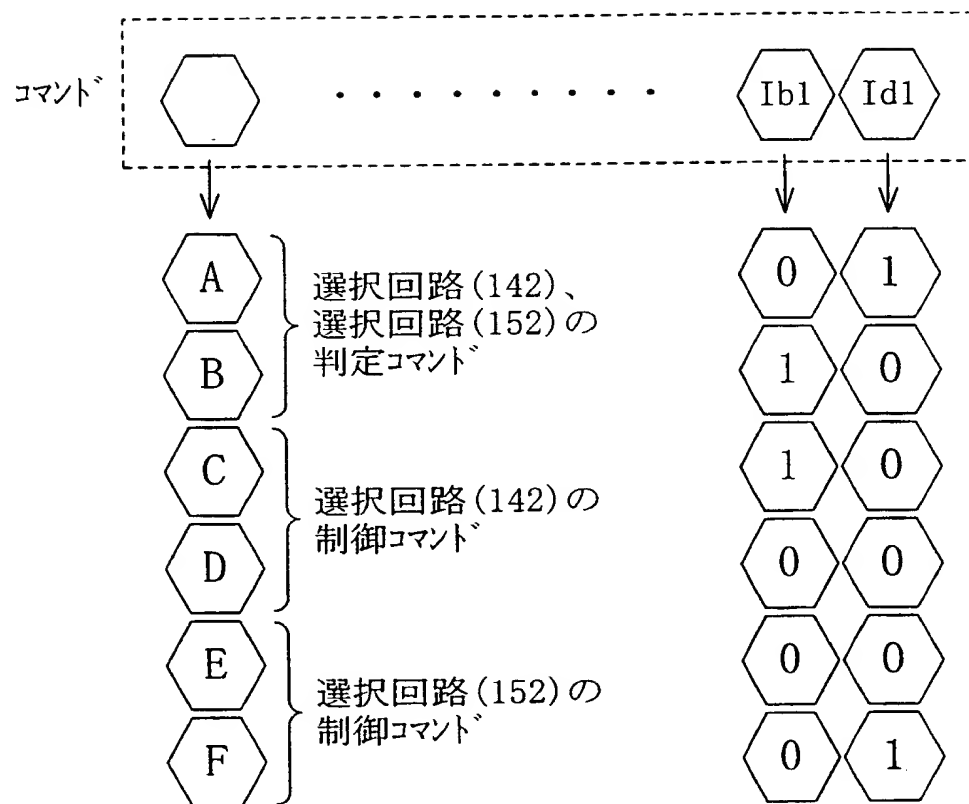


Fig. 16

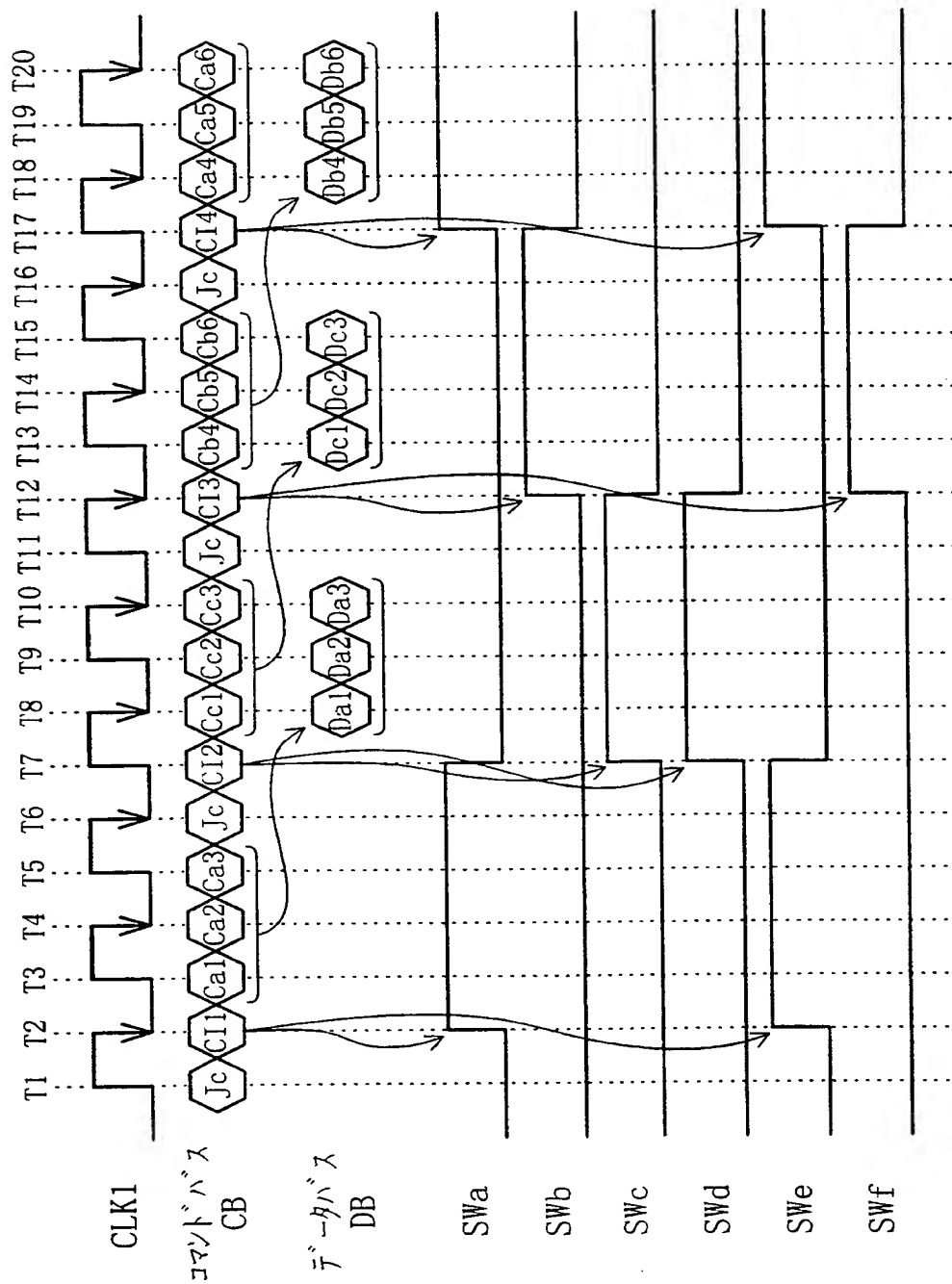
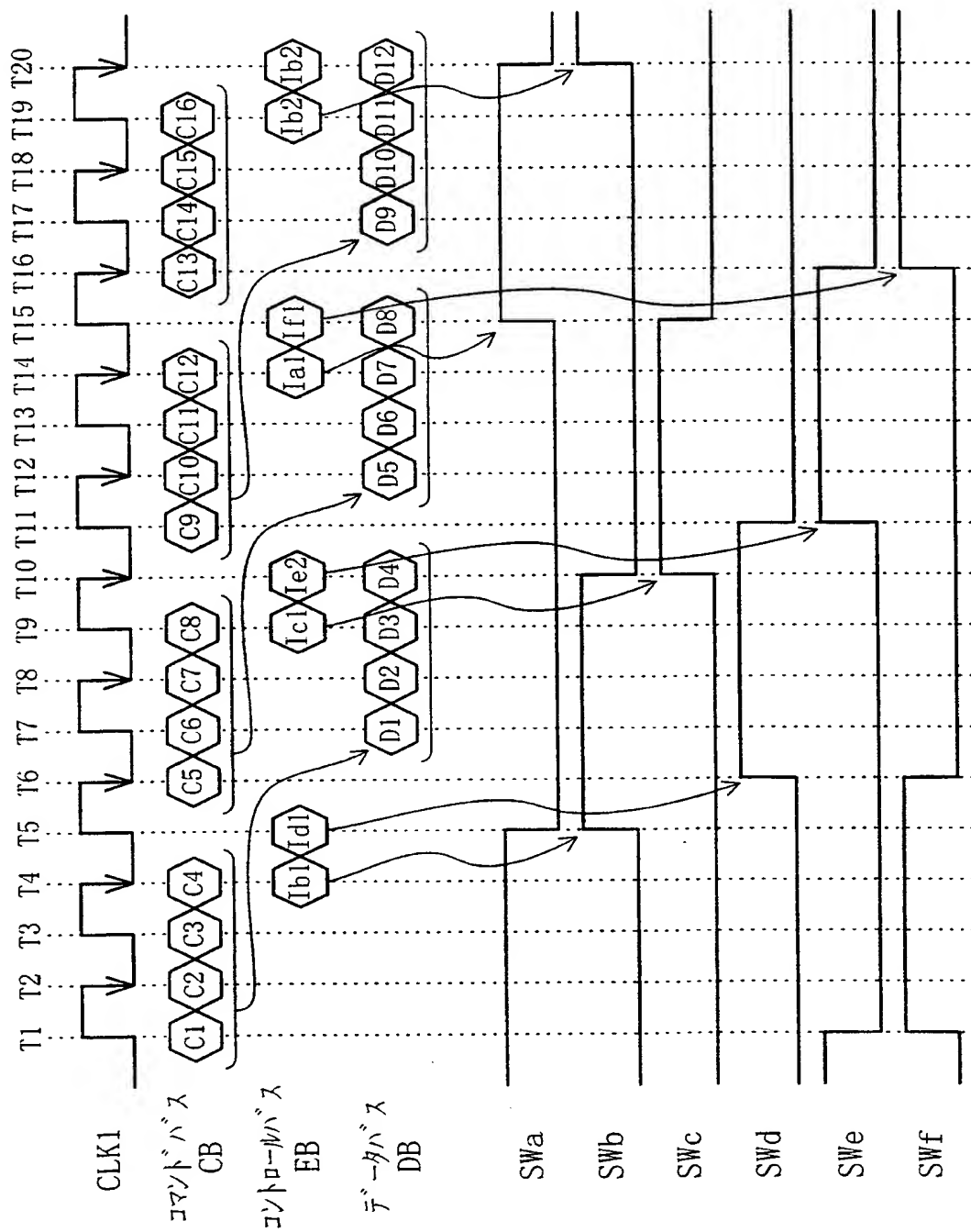


Fig. 17



18/21

Fig. 18

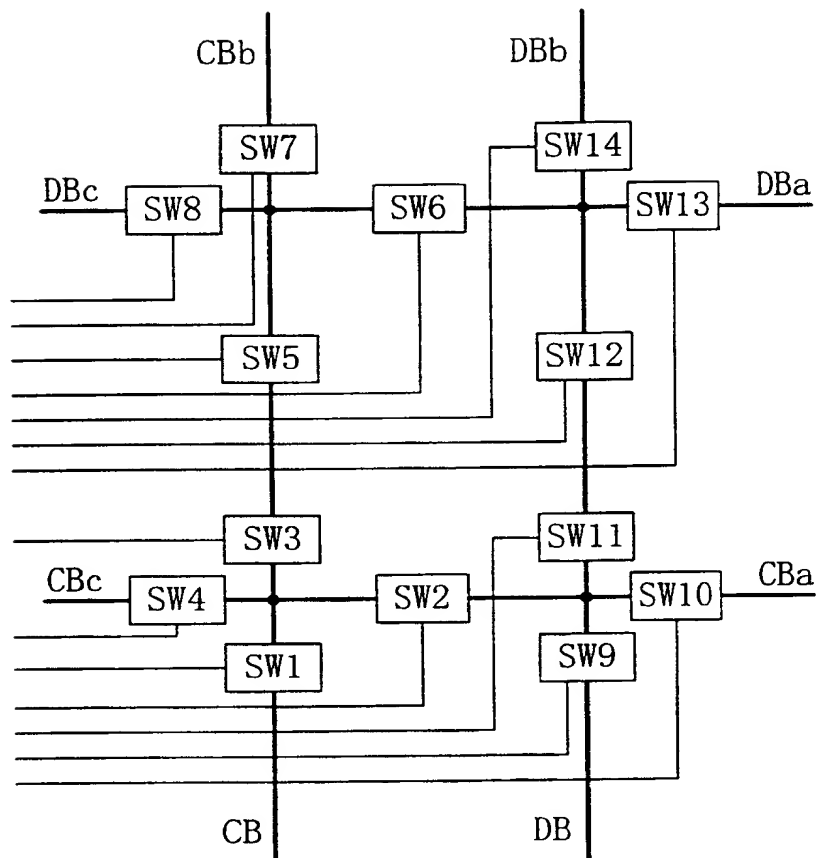
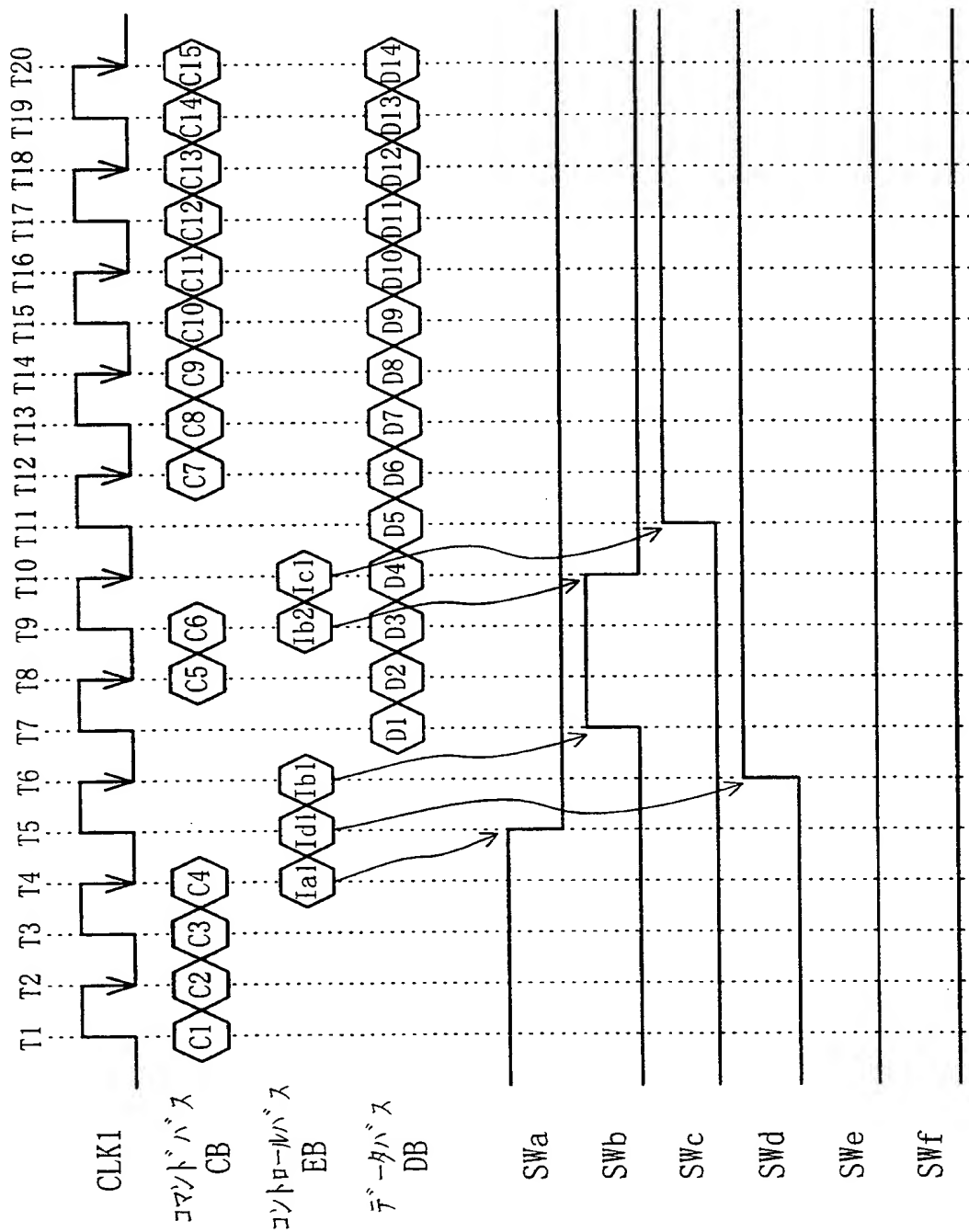
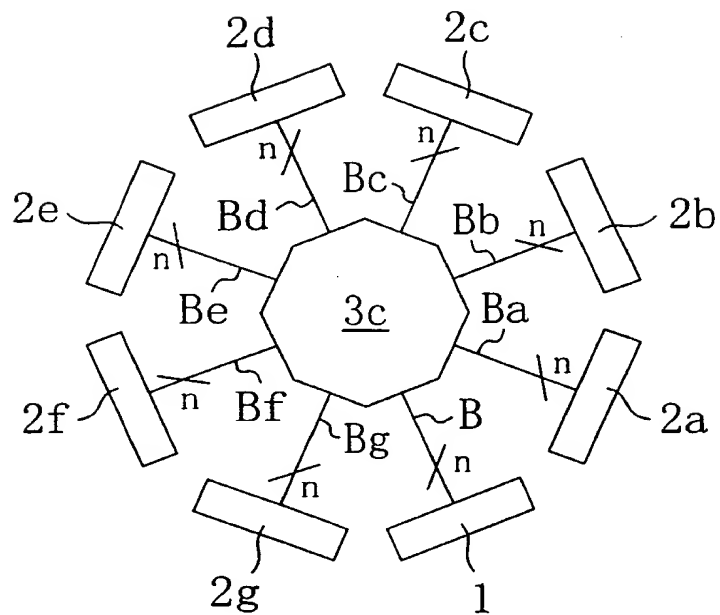


Fig. 19



20/21

Fig. 20



21/21

Fig. 21(a)

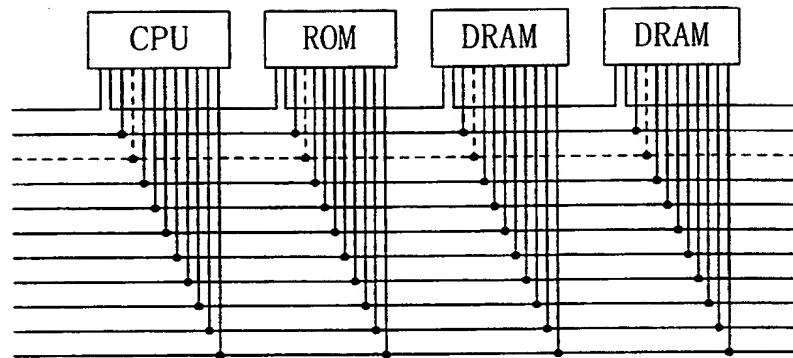
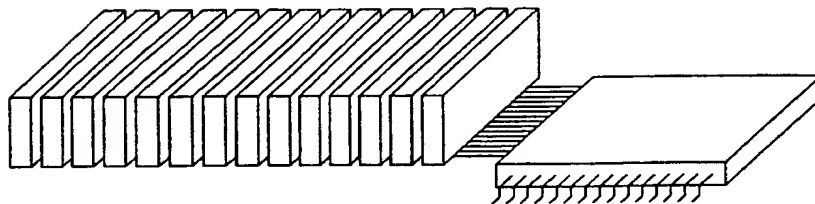


Fig. 21(b)



A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ G 06 F 13/16, 13/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ G 06 F 3/00, 12/00-06, 13/16, 13/36, 13/40, 15/173

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-1999年
 日本国登録実用新案公報 1994-1999年
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P, 4-68462, A (株式会社グラフィコ), 4. 3月. 1992 (04. 03. 92) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
Y A	J P, 5-2570, A (株式会社グラフィコ), 8. 1月. 1993 (08. 01. 93) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
Y A	J P, 61-290565, A (横河北辰電機株式会社), 20. 12月. 1986 (20. 12. 86) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
Y A	J P, 5-314068, A (バル バラクリシュナン), 26. 11月. 1993 (26. 11. 93) & US, 5122691, A & EP, 488057, A1	1, 2, 4-6, 8-15 3, 7, 16

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

08. 06. 99

国際調査報告の発送日

22.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

多賀 実

5 N

9367

電話番号 03-3581-1101 内線 3585



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	US, 5 5 4 8 7 3 4, A (Intel Corporation) , 20. 8月. 1996 (20. 08. 96) (ファミリーなし)	1, 2, 4-6, 8-15 3, 7, 16
A	JP, 9-330156, A (株式会社日立製作所) 22. 12月. 1997 (22. 12. 97) (ファミリーなし)	1-16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01198

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ G06F13/16, 13/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ G06F3/00, 12/00-06, 13/16, 13/36, 13/40, 15/173

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-1999
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 4-68462, A (K.K. Graphico), 4 March, 1992 (04. 03. 92) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16
Y A	JP, 5-2570, A (K.K. Graphico), 8 January, 1993 (08. 01. 93) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16
Y A	JP, 61-290565, A (Yokogawa Hokushin Denki K.K.), 20 December, 1986 (20. 12. 86) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16
Y A	JP, 5-314068, A (Balu Balakrishnan), 26 November, 1993 (26. 11. 93) & US, 5122691, A & EP, 488057, A1	1, 2, 4-6, 8-15 3, 7, 16
Y A	US, 5548734, A (Intel Corporation), 20 August, 1996 (20. 08. 96) (Family: none)	1, 2, 4-6, 8-15 3, 7, 16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
8 June, 1999 (08. 06. 99)

Date of mailing of the international search report
22 June, 1999 (22. 06. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01198

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-330156, A (Hitachi, Ltd.), 22 December, 1997 (22. 12. 97) (Family: none)	1-16